

日 本 国 特 許 庁
JAPAN PATENT OFFICE

SERA et al
Filed 9/9/03
Q77403
1 of 2
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月10日

出 願 番 号

Application Number:

特願2002-263606

[ST.10/C]:

[JP 2002-263606]

出 願 人

Applicant(s):

日本電気株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3041807

【書類名】 特許願

【整理番号】 76110426

【提出日】 平成14年 9月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786
H01L 27/12
G09G 3/30
G09G 3/36

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 世良 賢二

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 土 弘

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100114672

 【弁理士】

 【氏名又は名称】 宮本 恵司

 【電話番号】 042-730-6520

【手数料の表示】

 【予納台帳番号】 093404

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 0004232

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

絶縁性基板上に、少なくとも、多結晶シリコン膜を活性層とする n チャネル型の薄膜トランジスタ (T F T) 及び p チャネル型の T F T を備える薄膜半導体装置において、

同一チャネル型の中に、閾値電圧の異なる複数種の T F T を含み、異なるチャネル型の中に、同一のドーパントがチャネル領域に略等しい濃度で導入された T F T を含むことを特徴とする薄膜半導体装置。

【請求項 2】

前記閾値電圧の異なる複数種の T F T は、チャネル領域に P 型又は N 型の一方のドーパントを含む T F T と、チャネル領域にドーパントを含まない T F T とにより構成されることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 3】

前記閾値電圧の異なる複数種の T F T は、チャネル領域に P 型又は N 型の一方のドーパントを含む T F T と、チャネル領域に P 型及び N 型の双方のドーパントを含む T F T とにより構成されることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 4】

回路動作時にアイドリング電流を必要とするアナログ回路部と、スイッチと、を少なくとも備え、前記アナログ回路部は、前記閾値電圧の異なる複数種の T F T のうちの閾値電圧の低い T F T を前記アイドリング電流の電流パス上に含んで構成され、前記スイッチは、前記閾値電圧の異なる複数種の T F T のうちの閾値電圧の高い T F T で構成されることを特徴とする請求項 1 乃至 3 のいずれか一に記載の薄膜半導体装置。

【請求項 5】

前記アナログ回路部は、前記アイドリング電流の電流パス上に前記スイッチを含み、該スイッチにより前記アイドリング電流が遮断されることを特徴とする請

求項 4 記載の薄膜半導体装置。

【請求項 6】

前記アナログ回路部は、前記スイッチによる前記アイドルリング電流の導通、遮断により該回路の動作、停止が制御されることを特徴とする請求項 5 記載の薄膜半導体装置。

【請求項 7】

前記アナログ回路部は、入力端子、出力端子及び電源端子の各端子間の前記アイドルリング電流の電流パス経路に前記閾値電圧の低い T F T を含む場合には、該電流パス経路上に前記スイッチを含むことを特徴とする請求項 4 乃至 6 のいずれか一に記載の薄膜半導体装置。

【請求項 8】

前記閾値電圧の高い T F T 及び前記閾値電圧の低い T F T は、共にエンハンスメント型であることを特徴とする請求項 4 乃至 7 のいずれか一に記載の薄膜半導体装置。

【請求項 9】

前記アナログ回路部は、増幅回路、電源回路、又は、比較器のいずれか一を含むことを特徴とする請求項 4 乃至 8 のいずれか一に記載の薄膜半導体装置。

【請求項 1 0】

前記アナログ回路部は、少なくとも差動対に前記閾値電圧の低い T F T を含み、該差動対の電流パス経路上に前記スイッチを含む差動増幅回路であることを特徴とする請求項 4 乃至 9 のいずれか一に記載の薄膜半導体装置。

【請求項 1 1】

絶縁性基板上に、表示部と該表示部を駆動するための回路部とが一体で形成され、前記回路部に、請求項 4 乃至 1 0 のいずれか一に記載のアナログ回路部とスイッチとを含むことを特徴とする表示装置。

【請求項 1 2】

絶縁基板上の多結晶シリコン膜上に形成された T F T を使用して構成されるアナログ回路部、ロジック回路部、スイッチからなる回路部と表示部とを備え、前記アナログ回路部は前記ロジック回路部に使用される T F T の閾値電圧よりも低

い閾値電圧を有する T F T を含んで構成されていることを特徴とする画像表示装置。

【請求項 1 3】

前記アナログ回路部は前記スイッチを介して電源が供給され、前記スイッチは前記ロジック回路部に使用される T F T と同じ閾値電圧の T F T で構成されていることを特徴とする請求項 1 2 記載の画像表示装置。

【請求項 1 4】

前記表示部の画素スイッチは前記ロジック回路部に使用される T F T と同じ閾値電圧の T F T で構成されていることを特徴とする請求項 1 2 又は 1 3 に記載の画像表示装置。

【請求項 1 5】

絶縁性基板上に、少なくとも、多結晶シリコン膜を用いて n チャネル型 T F T 及び p チャネル型 T F T を形成する薄膜半導体装置の製造方法において、

前記 n チャネル型 T F T の少なくとも一部及び前記 p チャネル型 T F T の少なくとも一部のチャネル領域に、同時に P 型又は N 型のドーパントを導入する工程を含むことを特徴とする薄膜半導体装置の製造方法。

【請求項 1 6】

絶縁性基板上に、少なくとも多結晶シリコン膜を用いて n チャネル型 T F T 及び p チャネル型 T F T を形成する薄膜半導体装置の製造方法において、

全面に P 型又は N 型のドーパントを導入する工程と、

前記 n チャネル型 T F T の少なくとも一部及び前記 p チャネル型 T F T の少なくとも一部のチャネル領域に、同時に前記 N 型又は前記 P 型のドーパントを導入する工程とを含むことを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、薄膜半導体装置及びその製造方法に関し、特に、閾値電圧 (V T) の異なる薄膜トランジスタ (T F T : Thin film transistor) を用いて少なくともアナログ回路部とスイッチとを含んで構成される薄膜半導体装置及びその製造

方法に関する。

【0002】

【従来の技術】

携帯電話やモバイル機器等の携帯端末機器やノートパソコン等のモニタとして、C R T に比べて薄型、軽量を特徴とする液晶表示装置や有機 E L 表示装置などの画像表示装置が用いられている。これらの液晶表示装置や有機 E L 表示装置は、薄膜形成技術を用いてガラス基板等の絶縁性基板上にマトリクス状に配列された画素を有する表示部を形成し、外付けされたゲートドライバやデータドライバ等の駆動回路より表示に対応した信号を各画素に与えることにより、液晶の配向方向や有機 E L 素子の発光を制御して画像を表示していた。近年、薄膜形成技術の向上に伴い、表示部と同じ基板上に多結晶シリコンを用いて T F T を形成することができるようになり、駆動回路の一部を多結晶シリコンを用いた T F T 回路で形成することができるようになってきた。

【0003】

携帯端末機器では、小型化、低消費電力化、高性能化を図ることが重要であり、それに伴って画像表示装置にも小型化、低消費電力化が求められている。画像表示装置の小型化を実現する方法として、表示部と駆動回路をガラス基板等に一体的に形成することで外付け部品点数が削減され、小型化を実現することができる。また、表示部と駆動回路が一体で形成されることで、外付け時の接続抵抗や外付け接続端子への配線の引き回し等による負荷容量が減り、低消費電力化も実現できる。また近年、画像表示装置は高精細で鮮明な表示が要求されており、各画素が独立に形成されたアクティブマトリクス型表示装置の需要も高まっている。アクティブマトリクス型表示装置は、各画素毎にスイッチング素子が設けられ、駆動回路から供給される画像に対応した信号とスイッチング素子を制御する信号によって、スイッチング素子がオン状態となるときに各画素に画像に対応した信号が与えられて表示が行われる。なお、アクティブマトリクス型表示部と駆動回路をガラス基板等に一体的に形成する場合には、各画素のスイッチング素子（T F T）は、同一基板上に形成される駆動回路の T F T とが同時に作り込まれることになる。

【 0 0 0 4 】

上記 T F T は n チャンネル型、 p チャンネル型の 2 種類の T F T を用いて構成されるが、一般に活性層となる多結晶シリコン膜は n 型化する傾向にあるため、 n チャンネル型 T F T はややディプレッションとなり、相対的に駆動電力が増大し、オフ電流が増加してしまう。画像表示装置、特に、携帯端末機器に用いられる画像表示装置では、消費電力を低減するために少なくともスイッチ T F T においてはオフ電流は低いことが要求されるため、 T F T の製造に際して n チャンネル型 T F T のチャンネル領域にドーピングを行い、 V T の制御が行われている。

【 0 0 0 5 】

このチャンネルドーピングは、通常、複数の T F T のチャンネル領域に対して一括して行われるため、複数の T F T に注入されるドーパントのドーズ量は略等しくなるが、一回のドーピングで各々の T F T のドーズ量を変化させることもできる。例えば、特開平 8 - 2 6 4 7 9 8 号公報には、ドーパントの注入量を制御するための制御膜（酸化珪素膜）の厚さを領域毎に変え、その上からドーピングを施すことにより、制御膜の薄い部分でドーズ量を多く、制御膜の厚い部分でドーズ量を少なくする方法が開示されている。

【 0 0 0 6 】

【特許文献 1】

特開平 8 - 2 6 4 7 9 8 号公報（第 4 - 7 頁、第 5 図）

【 0 0 0 7 】

【発明が解決しようとする課題】

ここで、 T F T を用いて形成される回路は様々であり、ロジック回路等のローレベルとハイレベルの 2 値レベルを用いたデジタル処理を行う回路もあれば、増幅回路等の連続量を扱うことのできるアナログ処理を行う回路もある。尚スイッチは、 2 つの端子間の導通、非導通を切り替える素子であり、 2 端子間の電流を遮断したり、容量との組み合わせで電荷を閉じ込めたり等が可能であり、使用目的に応じてロジック回路やアナログ回路に組み込まれて用いられる。

【 0 0 0 8 】

しかしながら、このような回路の種別に対して T F T に求められる性能は異な

る。例えば、ロジック回路やスイッチに用いられるTFTでは、オン状態で十分な電流駆動能力があり、オフ状態では電流が流れないことが必要である。特に消費電力の低減が強く求められる場合にはオフリーク電流が十分小さいことが重要である。この場合、閾値電圧が高めに設定される。一方、アナログ回路で用いられるTFTの場合は、アイドリング電流が流れている回路部のTFTは常にオン状態であり、アナログ回路の動作はTFTの制御電圧によってドレイン電流を小さい値から大きい値まで精度よく制御できることが重要である。

【0009】

オフリーク電流が大きいと、回路停止状態でもリーク電流によって電力を消費してしまうため、特にバッテリーの寿命が重要な性能のひとつであるモバイル機器の駆動回路にとっては重大な問題であり、また、昨今の省エネルギー化の要請からも、モバイル機器以外においても、動作時の消費電力の低減や停止時の待機電力の低減のニーズが高まっている。このような要請から、従来は回路に用いるTFTは全てオフリーク電流が十分小さく（例えば1 pA以下）なるように閾値電圧 V_T が高めに制御されていた。

【0010】

しかしながら、従来のチャネルドープは、全てのnチャネル型（又はpチャネル型）TFTのチャネル領域に一括してドーピングを行うものであるため、例えば、nチャネル型TFTにチャネルドープを行う場合は、全てのnチャネル型TFTの V_T が同じように制御される。従って、オフリーク電流を小さく抑えるためにTFTの閾値電圧を高く設定した場合には、電源電圧範囲におけるTFTオン領域が狭くなり、TFT電流駆動能力の上限が下がるため回路の動作速度の低下やアナログ回路のダイナミックレンジ（電源電圧範囲に対する出力電圧範囲）が狭くなるなどの別の問題も生じてしまう。

【0011】

また、nチャネル型又はpチャネル型の一方にドーピングを行う方法では、一方のチャネル型のTFTのみゲートソース電圧に対するドレイン電流の変化量が変わってしまうために、nチャネル型TFTの V_T とpチャネル型TFTの V_T の対称性が崩れてしまい、例えばCMOS回路を形成する場合には、その動作

速度が特性の劣っている T F T により決まってしまう、良好な回路特性が得られなくなってしまうという問題が生じる。

【 0 0 1 2 】

上記 V T の対称性の崩れを抑制するために、n チャンネル型又は p チャンネル型の双方に別々にチャネルドーピングを行う方法もあるが、この方法でも同一のチャンネル型 T F T に関しては同一の V T を有するために、V T を高くするとアナログ回路の動作速度やダイナミックレンジが劣化し、一方 V T を低くするとロジックやスイッチ回路のオフ電流が大きくなるという問題を解決することはできず、また、ドーピングの精度等の製造上の誤差により厳密には V T の対称性を維持することができず、V T のバランスのよい薄膜半導体装置を製造することができない。更にチャネルドーピングを複数回に分けて行うために工程が複雑化してしまうという問題もある。また、このチャネルドーピングを、特開平 8 - 2 6 4 7 9 8 号公報記載の方法を用いて行ったとしても、n チャンネル型 T F T と p チャンネル型 T F T の各々について少なくとも 1 回ずつチャネルドーピングを行わなければならず、工程が複雑になるという問題を解決することはできない。

【 0 0 1 3 】

このような問題は液晶表示装置や有機 E L 表示装置等の画像表示装置に用いられる回路に限らず、多結晶シリコン膜を活性層とする n チャンネル型 T F T 及び p チャンネル型 T F T を備える回路全般について当てはまる問題である。

【 0 0 1 4 】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、工程を複雑にすることなく、各々の回路に適した V T を有する n チャンネル型 T F T 及び p チャンネル型 T F T を形成し、消費電力を増加させることなくアナログ回路の性能を向上させることのできる薄膜半導体装置及びその製造方法を提供することにある。

【 0 0 1 5 】

【問題を解決するための手段】

上記目的を達成するため、本発明の薄膜半導体装置は、絶縁基板上に、少なくとも、多結晶シリコン膜を活性層とする n チャンネル型の薄膜トランジスタ (T F

T) 及び p チャネル型の T F T を備える薄膜半導体装置において、同一チャネル型の中に、閾値電圧の異なる複数種の T F T を含み、異なるチャネル型の中に、同一のドーパントがチャネル領域に略等しい濃度で導入された T F T を含むものである。

【 0 0 1 6 】

本発明においては、前記閾値電圧の異なる複数種の T F T は、チャネル領域に P 型又は N 型の方のドーパントを含む T F T と、チャネル領域にドーパントを含まない T F T と、又は、チャネル領域に P 型又は N 型の方のドーパントを含む T F T と、チャネル領域に P 型及び N 型の双方のドーパントを含む T F T とにより構成されるものとすることができる。

【 0 0 1 7 】

また、本発明においては、薄膜半導体装置を構成する回路は、回路動作時にアイドルリング電流を必要とするアナログ回路と、スイッチと、を少なくとも備え、前記アナログ回路は、前記閾値電圧の異なる複数種の T F T のうちの閾値電圧の低い T F T を前記アイドルリング電流の電流パス上に含んで構成され、前記スイッチは、前記閾値電圧の異なる複数種の T F T のうちの閾値電圧の高い T F T で構成されることが好ましい。

【 0 0 1 8 】

また、本発明においては、前記アナログ回路は、前記アイドルリング電流の電流パス上に前記スイッチを含み、該スイッチにより前記アイドルリング電流が遮断される構成とすることもでき、前記アナログ回路は、前記スイッチによる前記アイドルリング電流の導通、遮断により該回路の動作、停止が制御されることが好ましい。

【 0 0 1 9 】

また、本発明においては、前記アナログ回路部は、入力端子、出力端子及び電源端子の各端子間の前記アイドルリング電流の電流パス経路に前記閾値電圧の低い T F T を含む場合には、該電流パス経路上に前記スイッチを含む構成とすることが好ましい。

【 0 0 2 0 】

また、本発明においては、前記アナログ回路は、少なくとも差動対に前記閾値電圧の低いT F Tを含み、該差動対の電流パス経路上に前記スイッチを含む差動増幅回路とすることもできる。

【 0 0 2 1 】

また、本発明の表示装置は、絶縁性基板上に、表示部と該表示部を駆動するための回路部とが一体で形成され、前記回路部に、上記アナログ回路とスイッチとを含むものである。

【 0 0 2 2 】

また、本発明の画像表示装置は、絶縁基板上の多結晶シリコン膜上に形成されたT F Tを使用して構成されるアナログ回路部、ロジック回路部、スイッチからなる回路部と表示部とを備え、前記アナログ回路部は前記ロジック回路部に使用されるT F Tの閾値電圧よりも低い閾値電圧を有するT F Tを含んで構成されているものである。

【 0 0 2 3 】

本発明においては、前記アナログ回路部は前記スイッチを介して電源が供給され、前記スイッチは前記ロジック回路部に使用されるT F Tと同じ閾値電圧のT F Tからなる構成、又は、前記表示部の画素スイッチは前記ロジック回路部に使用されるT F Tと同じ閾値電圧のT F Tからなる構成とすることもできる。

【 0 0 2 4 】

本発明の方法は、絶縁性基板上に、少なくとも、多結晶シリコン膜を用いてnチャネル型T F T及びpチャネル型T F Tを形成する薄膜半導体装置の製造方法において、前記nチャネル型T F Tの少なくとも一部及び前記pチャネル型T F Tの少なくとも一部のチャネル領域に、同時にP型又はN型のドーパントを導入する工程を含むものである。

【 0 0 2 5 】

また、本発明の方法は、絶縁性基板上に、少なくとも多結晶シリコン膜を用いてnチャネル型T F T及びpチャネル型T F Tを形成する薄膜半導体装置の製造方法において、全面にP型又はN型のドーパントを導入する工程と、前記nチャネル型T F Tの少なくとも一部及び前記pチャネル型T F Tの少なくとも一部の

チャネル領域に、同時に前記N型又は前記P型のドーパントを導入する工程とを含むものである。

【0026】

このように、本発明は上記構成により、製造工程を複雑にすることなく、ガラス等の絶縁基板上に形成した多結晶シリコン膜に、ロジック回路やスイッチに関してはオフ電流が小さくなるようにVTが高く制御されたTFETを、アナログ回路に関しては動作速度を速くダイナミックレンジが大きくなるようにVTが低く制御されたTFETを形成することができ、また、チャネルドーピングを行うTFETに関してはnチャネル型及びpチャネル型共に同一のドーパントが略等しい濃度で導入されるために、VTの対称性を維持することができ、各々の回路に適した特性のTFETを作り込むことができる。

【0027】

【発明の実施の形態】

本発明に係る薄膜半導体装置及びその製造方法の好ましい一実施の形態について、図面を参照して以下に説明する。以下の実施の形態の説明において、アナログ回路は、連続量を扱う回路であって、動作安定時に動作点においてアイドリング電流を必要とする回路を意味する。ロジック回路は、ハイレベル又はローレベルの2値電圧を扱う回路を意味する。スイッチは2点間の導通、非導通を切り替える素子を意味するものとする。

【0028】

従来技術において説明したように、多結晶シリコン膜からなるnチャネル型TFETとpチャネル型TFETとが形成される薄膜半導体装置では、TFETのオフ電流を低減するためにnチャネル型TFET（又はpチャネル型TFET）にチャネルドーピングを行っていたが、この方法では、同一チャネル型のTFETに関しては同一のVTを有することになる。そして、TFETのオフリーク電流を十分小さく抑えて低消費電力化を実現するためにVTを高めに設定すると、アナログ回路の動作速度やダイナミックレンジが劣化するという問題やVTの対称性の崩れにより良好な回路特性が得られないという問題が生じていた。

【0029】

一方、シリコン基板上に形成した回路（シリコン回路と記す。）の場合には、例えばメモリ回路のセンスアンプは高速応答やリーク電流抑制のため２種類の V_T を用いる例があり、各々の回路に応じてウェル電位を調整して V_T を制御する方法等が用いられている。しかしながら、シリコン回路ではバックゲートが存在するため、ウェル電位制御などの方法を利用することができるが、絶縁基板上に設けられた $TFET$ ではこのような方法を用いることができず、シリコン回路の技術を応用することはできない。

【 0 0 3 0 】

絶縁基板上に形成した薄膜半導体装置において、ロジック回路およびスイッチとアナログ回路とで別々に V_T を制御するために、同一のチャネル型 $TFET$ についても個別にチャネルドーピングを行えば V_T を個別に制御することはできるが、この方法では n チャネル型 $TFET$ と p チャネル型 $TFET$ の各々について少なくとも１回ずつチャネルドーピングを行わなければならない、薄膜半導体装置の製造工程が複雑になってしまい、特に、携帯端末機器等の低価格化が求められている装置では工程の増加による価格上昇は重大な問題となる。

【 0 0 3 1 】

また、特開平 8 - 2 6 4 7 9 8 号公報に記載された方法により、同一チャネル内で異なる V_T を持たせることはできるが、上記公報は n チャネル型 $TFET$ と p チャネル型 $TFET$ の双方に同時にドーピングを行うことを目的とするものではなく、アクティブマトリクス表示装置のゲイト線の配線抵抗による電圧降下を考慮して、ゲイト線駆動回路から遠い $TFET$ ほど V_T を小さくするための方法を提供するものであるため、個別にチャネルドーピングを行う方法と同様に、 n チャネル型 $TFET$ と p チャネル型 $TFET$ の各々について少なくとも１回ずつチャネルドーピングを行わなければならない。

【 0 0 3 2 】

また、これらの方法では、 n チャネル型 $TFET$ と p チャネル型 $TFET$ とで別々にチャネルドーピングを行うため、各々のチャネル型の V_T の対称性が崩れてしまい、 $CMOS$ 回路等を構成する場合に所望の回路特性が得られないという問題を解決することができない。

【 0 0 3 3 】

また、本願発明者は、各々の回路のV Tを制御するにあたり、アナログ回路の動作においてはT F Tのオフ電流特性を特に必要としないことに着目した。すなわち、アナログスイッチのような電流を遮断しなければならないアナログ回路を除けば、アナログ回路は一般に動作時にアイドル電流が流れているためT F Tはオン状態であり、オフ状態のリーク電流の大きさはアナログ回路の動作の性能や消費電力とは無関係である。一方、T F TのV Tが低いほどアナログ回路の動作速度は向上し、ダイナミックレンジも広がる。従ってアナログ回路はその動作において、T F Tのオフ電流が多少大きくても問題はなく、V Tが低いほど高性能となる。

【 0 0 3 4 】

このアナログ回路の特質を考慮して、ドーピング工程を複雑にすることなく、nチャネル型T F Tとpチャネル型T F Tの各々について回路に適したV Tに制御するために、同一のドーパントをnチャネル型T F Tの一部とpチャネル型T F Tの一部に同時に導入する方法を案出した。なお、nチャネル型T F Tとpチャネル型T F Tの各々に異なるドーパントを導入する方法は従来より行われているが、異なるチャネル型のT F Tに同一のドーパントを導入してV Tを制御する方法は本願発明者が案出した新規な手法である。

【 0 0 3 5 】

以下、図1乃至図6を参照して、本発明の薄膜半導体装置の構造及びその製造方法について説明する。図1乃至図6では、絶縁性基板上にV Tが各々異なるnチャネル型T F Tとpチャネル型T F T（計4つのT F T）を形成する場合について示すが、本発明は図の構成に限定されるものではなく、nチャネル型T F Tとpチャネル型T F Tとが混在し、少なくとも一方のチャネル型を複数備える構成に適用することができる。

【 0 0 3 6 】

図1に示すように、本発明の一実施形態に係る薄膜半導体装置は、ガラス、プラスチック等の絶縁性基板1上にアンダーコート層2を介して形成された多結晶シリコン膜3に、B（硼素）が略等しい濃度で導入されたチャネル領域を有す

るV Tの低いpチャネル型T F T（以下、低V T－p型T F T①）及びV Tの高いnチャネル型T F T（以下、高V T－n型T F T④）と、ドーピングされていないV Tの高いpチャネル型T F T（以下、高V T－p型T F T②）及びV Tの低いnチャネル型T F T（以下、低V T－n型T F T③）が形成されている。すなわち、異なるチャネル型のみならず、同一チャネル型においてもV Tの異なるT F Tが形成されていることを特徴としている。上記において、高V T又は低V Tとは電位の絶対値としての大小関係を示すものである。このような構成の薄膜半導体装置の製造方法について、図2及び図3の工程断面図を参照して説明する。

【0037】

まず、図2（a）に示すように、ガラス、プラスチック等の絶縁性基板1上に、アンダーコート層2となるシリコン酸化膜（SiO_x）、シリコン窒化膜（SiN_x）等をLPCVD（減圧CVD）法、PCVD（プラズマCVD）法、スパッタ法等を用いて300nm程度の膜厚で形成する。このアンダーコート層2は、絶縁性基板1から活性層に不純物が拡散するのを防止するために設けるものであり、不純物の影響が問題とならない場合には必ずしも設ける必要はない。その後、活性層となるアモルファスシリコン（以下、a－Siと略す）膜3aをLPCVD法、PCVD法、スパッタ法等を用いて20nm～100nm程度の膜厚で形成する。PCVD法を用いた場合は成膜後に脱水素処理を行う。

【0038】

次に、図2（b）に示すように、a－Si膜3a上に、フォトリソグラフィ工程を用いてドーピングを行う領域に開口を設けたレジストパターン10aを形成し、イオン注入法もしくはイオンドーピング法を用いてチャネルドーピングを行う。ここで、従来の薄膜半導体装置の製造方法では、同一チャネル型T F Tの全部（例えば、図2（a）の右側の2つのnチャネル型T F T）にドーピングを行っていたが、本発明では、1回のドーピングで、nチャネル型及びpチャネル型の双方のV Tを制御するためにnチャネル型T F Tの少なくとも一部（図では右側のnチャネル型T F T）及びpチャネル型T F Tの少なくとも一部（図では左側のpチャネル型T F T）のみに選択的にB（硼素）をドーピングする。このイオン

注入法もしくはイオンドーピング法で導入する不純濃度は設定しようとする V_T によって変わるが、通常 $2 \times 10^{11} \sim 5 \times 10^{12} / \text{cm}^2$ の範囲が好適である。

【 0 0 3 9 】

なお、ここでは、上記 4 種類の T F T を同時に形成する場合について記載するため、n チャネル型 T F T と p チャネル型 T F T の各々について B をドーピングする T F T とドーピングしない T F T とを設けているが、n チャネル型 T F T と p チャネル型 T F T の一方のみ V_T の異なる T F T を形成する場合には、そのチャネル型のみ部分的に B をドーピングすればよい。また、本実施形態では、 V_T の異なる T F T を V_T の高い T F T と V_T の低い T F T の 2 種類の T F T に分類しているが、 V_T を 3 種以上に分類することもできる。その場合には、ドーパントの種類やドーズ量の異なるドーピング工程を追加すればよい。

【 0 0 4 0 】

その後、図 2 (c) に示すように、n チャネル型 T F T の一部及び p チャネル型 T F T の一部にドーピングを行った a - S i 膜 3 a をエキシマレーザ光を用いてアニール (E L A) して結晶化し、ノンドープ領域 8 と B ドープ領域 9 とを有する多結晶シリコン膜 3 を形成する。

【 0 0 4 1 】

次に、図 2 (d) に示すように、多結晶シリコン膜 3 をフォトリソグラフィ工程を用いてアイランドパターンにエッチングした後、図 2 (e) に示すように、L P C V D 法、P C V D 法、スパッタ法等を用いてゲート絶縁膜 4 としてシリコン酸化膜を形成する。このゲート絶縁膜 4 の膜厚は電源電圧、 V_T など T F T の特性、仕様によって異なるが、通常 $30 \text{ nm} \sim 200 \text{ nm}$ 程度の範囲が好適である。その後、P C V D 法、スパッタ法等を用いて、メタル、シリコン、シリサイド等の導電材を堆積し、導電材をフォトリソグラフィ工程を用いてパターンニングしてゲート電極 5 を形成する。

【 0 0 4 2 】

次に、図 3 (a) に示すように、レジストパターン 1 0 b を用いて p チャネル型 T F T 形成領域を覆い、ゲート電極 5 をマスクとして n チャネル型 T F T に P (燐) をドーピングし、続いて、レジストパターン 1 0 c を用いて n チャネル型

T F T 形成領域を覆い、同様にゲート電極 5 をマスクとして p チャネル型 T F T に B をドーピングし、ソース／ドレイン領域を形成する。なお、n チャネル型 T F T のドーピングと p チャネル型 T F T のドーピングの順番は任意であり、逆であっても良い。

【 0 0 4 3 】

ここで、ドレイン近傍の高電界領域におけるデバイスの信頼性低下を防止するために L D D (Lightly Doped Drain) 構造を形成する場合は、レジストパターンを用いてゲートにオフセットをつけて不純物を注入した後、ゲート電極 5 をマスクとして低濃度に P を注入し、その後、活性化を行う。活性化の方法としてはオーソドックスな熱活性化、レーザを用いたレーザ活性化に加えてランプや高温 N_2 を用いた R T A (Rapid Thermal Anneal) 等があり、ゲートメタルなどの構造に最も適した活性化工程を選択する。

【 0 0 4 4 】

その後、水素プラズマ処理を行った後、図 3 (c) に示すように、層間絶縁膜 6 としてシリコン酸化膜、シリコン窒化膜等を堆積し、ゲート及びソース／ドレイン上にコンタクトホールを形成し、電極 7 としてメタルを形成して電極配線を行う。このメタルとしては通常 A l が用いられる。その後、図示しないが、シリコン窒化膜等のパッシベーションを成膜してパッドコンタクトホールを形成して薄膜半導体装置を形成する。

【 0 0 4 5 】

このように、本発明では、n チャネル型の一部に B をドーピングする際に、同時に一部の p チャネル型 T F T 形成領域にも B をドーピングすることにより、工程を増加させることなく同一チャネル型内で V T の異なる 2 種類の T F T を作成することができる。また、低 V T - n 型 T F T と高 V T - p 型 T F T のチャネル領域には同一のドーパント (B) が略等しい濃度で導入されるため、V T の対称性を確保することができる。

【 0 0 4 6 】

上記説明では、基本的に B により n チャネル型 T F T の V T を制御する手法を p チャネル型 T F T で利用することにより、n、p の V T を制御する方法について

て述べたが、他の方法で n 、 p の V_T を制御する方法においても同様の考え方で同一チャネル型で 2 種類の V_T を有する T F T を作成することができる。例えば、図 4 に示すように、図 2 (b) の工程で B をドーピングする代わりに、中央の T F T (高 V_T - p 型 T F T 及び低 V_T - n 型 T F T) が露出するようにレジストパターン 10 a を形成し、P をドーピングする方法によっても、P をドーピングした p チャネル型 T F T の V_T を高く、 n チャネル型 T F T の V_T を低くし、 n 、 p 共に 2 種類の V_T を有する T F T を作成することができる。

【 0 0 4 7 】

また、これらの方法よりもドーピング工程が一工程分増加するが、反対導電型のドーパントを打ち返す方法によっても n 、 p 共に 2 種類の V_T を有する T F T を作成することができる。例えば、図 5 に示すように、図 2 (b) の工程で両端の 2 つの T F T に B をドーピングする代わりに、全面 (n 、 p 共に) B をドーピングした後 (図 5 (a))、中央の T F T (高 V_T - p 型 T F T ② 及び低 V_T - n 型 T F T ③) が露出するようにレジストパターン 10 a を形成し、P をドーピングする (図 5 (b)) 方法を用いることもできる。この場合、低 V_T - n 型 T F T ③ では n 型不純物濃度が実質的に低下し、高 V_T - p 型 T F T ② では p 型不純物濃度が増加し、 n 型、 p 型共に 2 種類の V_T の T F T を作成することができる。また、図 6 に示すように、全面 (n 、 p 共に) P をドーピングした後 (図 6 (a))、両端の T F T (低 V_T - p 型 T F T 及び高 V_T - n 型 T F T) が露出するようにレジストパターン 10 a を形成し、B をドーピングする (図 6 (b)) 方法を用いることもできる。この場合、高 V_T - n 型 T F T ④ では n 型不純物濃度が増加し、低 V_T - p 型 T F T ① では p 型不純物濃度が実質的に低下し、同様に n 型、 p 型共に 2 種類の V_T の T F T を作成することができる。

【 0 0 4 8 】

このように n チャネル型 T F T の V_T 制御するための B を p チャネル型 T F T に利用する構成、 p チャネル型 T F T の V_T 制御するための P を n チャネル型 T F T に利用する構成、又は、一部の n チャネル型 T F T 又は p チャネル型 T F T に B 又は P をドーピングしない構成を組み合わせることにより、同一のチャネル型について複数種類の異なる V_T を有する T F T を作成することができる。そし

て、オフ電流特性が必要なスイッチ、ロジック系回路と低 V_T が必要でオフ特性の必要としないアナログ系回路とを異なる V_T を持つTFTで構成することにより、双方の回路特性を向上させることができる。

【 0 0 4 9 】

上記方法を用いて形成したTFTを含むアナログ回路の具体例について説明する。低 V_T -TFTでアナログ回路を構成することにより動作速度を向上させ、ダイナミックレンジを広くすることができるが、アナログ回路を低 V_T のTFTのみで構成するとアナログ回路停止時にはリーク電流によって電力を消費してしまうという問題が生じる。そこで回路停止時に低 V_T のTFTによるリーク電流を遮断する高 V_T のTFTで構成したスイッチを設け、回路停止時に高 V_T のTFTスイッチをオフとし、アナログ回路停止時のリーク電流による電力消費を抑えることにより、上記問題の解決を図っている。

【 0 0 5 0 】

具体的には、本実施形態の回路は、図7に示すように、入力端子11、出力端子12、高電位側電源端子13、低電位側電源端子14と低 V_T -TFTを含むアナログ回路20、高 V_T -TFTで構成したスイッチ21、22とからなり、アナログ回路20は入力端子11に入力された入力電圧 V_{in} に応じて出力電圧 V_{out} を出力端子12より出力する。スイッチ21、22はそれぞれ高電位側電源端子13、低電位側電源端子14とアナログ回路20との間に設けられ、制御信号S1とその反転信号S1Bにより制御され、制御信号S1がハイレベル、S1Bがローレベルのときアナログ回路20を活性（動作可能）とし、制御信号S1がローレベル、S1Bがハイレベルのときアナログ回路20を非活性（停止）とする。

【 0 0 5 1 】

上記構成において、高 V_T -TFTで構成したスイッチ21、22により、入力端子11、出力端子12、高電位側電源端子13、低電位側電源端子14の各端子間の電流パス経路上に低 V_T -TFTを含んでいるときに、その電流パスを遮断して回路を停止させるとともに、停止時のリーク電流による電力消費を抑えることができる。また、回路停止時にリーク電流による入力端子11や出力端子

1 2 への電位変動などの影響も抑えることができる。

【0 0 5 2】

例えば、入力端子 1 1 と低電位側電源端子 1 4 との間に低 V T - T F T を含んだ電流パス経路が存在してもスイッチ 2 2 により電流パスを遮断することができる、高電位側電源端子 1 3 と出力端子 1 2 との間に低 V T - T F T を含んだ電流パス経路が存在してもスイッチ 2 1 により電流パスを遮断することができる。また、高電位側電源端子 1 3 から低電位側電源端子 1 4 との間に電流パス経路が存在してもスイッチ 2 1 またはスイッチ 2 2 のいずれか一方で電流パスを遮断することができる。

【0 0 5 3】

このように、本発明の方法を用いて低 V T - T F T を含むアナログ回路 2 0 と高 V T - T F T で構成したスイッチ 2 1、2 2 を形成することにより、アナログ回路の高性能化（動作速度の向上、ダイナミックレンジの拡大）が実現することができると共に、リーク電流による電力の消費を防止することができる。このリーク電流の防止構造によって、本発明の構造を低消費電力化が求められるモバイル機器の駆動回路に適用する場合であっても、アナログ回路に用いる低 V T - T F T のオフ時のリーク電流の制限を緩和することができる。具体的には、高 V T - T F T のオフ時のリーク電流は通常閾値電圧における電流（約 10^{-7} A）の 1 万分の 1（約 10^{-11} A）以下が求められるのに対し、低 V T - T F T のオフ時のリーク電流は閾値電圧における電流（約 10^{-7} A）以下であればよく設計の自由度を大きくすることができる。なお、上記に示した電流値はおよその目安である。

【0 0 5 4】

このアナログ回路 2 0 の構成は、増幅回路、電源回路、比較器、駆動回路等、様々な回路のアナログ回路部に適用することができる。また、低 V T - T F T はエンハンスメント型であることが望ましいが、わずかにディプレッション型となる場合があっても構わない。

【0 0 5 5】

【実施例】

上記した本発明の一実施の形態に係る回路の具体適構成について以下に説明する。なお、以下の回路構成では、説明を簡単にするためにVTの高いTF TとVTの低いTF Tの2種類のTF Tを備える構成としているが、更にこの2種類のTF TとVTの異なる第3のTF Tを備える構成としても良い。一般に、高VTの方が低VTのTF Tよりもオフリーク電流が大きくなる。

【0056】

〔実施例1〕

まず、本発明の第1の実施例に係る2種類のVTのTF Tを備えるアナログ回路について、図8を参照して説明する。図8は、本発明の構造を差動増幅回路に適用した例を示す回路図である。以下の説明にあたって、TF Tは高VT、低VTとも絶縁ゲート型トランジスタとする。

【0057】

図8に示すように、本実施例の回路は、差動段と増幅段からなる最も簡単な差動増幅回路であり、低VT-TF Tを差動段（図8の23）に適用し、差動対101、102を低VT-TF Tで形成し、差動対101、102の電流パスを遮断するスイッチ501を高VT-TF Tで形成した差動増幅回路である。差動対101、102以外は全てスイッチ501と同様の高VT-TF Tで形成されている。差動段、増幅段ともにそれぞれアイドリング電流が流れるアナログ回路部であるが、本実施例では差動対101、102だけを低VT-TF Tで形成した実施例について説明する。以下、図8について詳細に説明すると、差動段がnチャネルトランジスタからなる差動対101、102と、差動対を駆動し、差動対と低電位側電源端子14との間にトランジスタスイッチ501を介して接続された電流源105と、差動対の負荷回路をなし、差動対と高電位側電源端子13との間に接続されたpチャネルトランジスタからなるカレントミラー回路103、104とで構成されている。

【0058】

カレントミラー回路の入力端（トランジスタ104のドレインとゲートとの接続点）が差動対のトランジスタ102のドレインと接続され、出力端が差動対のトランジスタ101のドレインと接続され、トランジスタ101のドレインが差

動段の出力をなしている。増幅段は、ゲートに差動段の出力が入力され、ソースが高電位側電源端子 1 3 と接続され、ドレインが出力端子 1 2 と接続された p チャンネルトランジスタ 1 0 6 と、出力端子 1 2 と低電位側電源端子 1 4 との間に直列形態で接続された電流源 1 0 7 及びトランジスタスイッチ 5 0 2 と、p チャンネルトランジスタ 1 0 6 のゲートと高電位側電源端子 1 3 との間に接続されたトランジスタスイッチ 5 0 3 とで構成されている。トランジスタスイッチ 5 0 1、5 0 2、5 0 3 には制御信号 S 1 がそれぞれ入力される。なお、本実施例では、2 つの差動入力端子は絶縁ゲート型トランジスタのゲート端子であるため、差動入力端子と電源端子や出力端子との間に電流パスは生じない構成となっている。

【 0 0 5 9 】

この差動増幅回路は、動作時には制御信号 S 1 をハイレベルとして、スイッチ 5 0 1、5 0 2 をオン、スイッチ 5 0 3 をオフとする。これにより 2 つの差動入力電圧 $V_{in}(+)$ 、 $V_{in}(-)$ の電圧差に応じて差動段の出力が変化し、p チャンネルトランジスタ 1 0 6 のゲートの変化によって p チャンネルトランジスタ 1 0 6 のドレイン電流が制御され、電流源 1 0 7 の電流とのバランスによって出力電圧 V_{out} が決定される。一例としては、差動対の反転入力端子（トランジスタ 1 0 2 のゲート）を出力端子 1 2 と接続すると、非反転入力端子（トランジスタ 1 0 1 のゲート）の入力電圧と等しい電圧を出力するボルテージフォロワ回路が形成できる。なお、動作時において、差動段では差動対 1 0 1、1 0 2 およびカレントミラー回路 1 0 3、1 0 4 に電流源 1 0 5 で制御されたアイドリング電流が流れる。一方増幅段では、p チャンネルトランジスタ 1 0 6 に流れるアイドリング電流は出力端子 1 2 に接続される回路によって異なり、出力端子 1 2 から外部回路へ一定の放電電流がある場合には、p チャンネルトランジスタ 1 0 6 に流れるアイドリング電流は放電電流と電流源 1 0 7 で制御された電流との合計電流が流れる。また出力端子 1 2 に容量性負荷が接続された場合は、容量の充放電が完了した安定動作状態において、p チャンネルトランジスタ 1 0 6 には電流源 1 0 7 で制御されたアイドリング電流がそのまま流れる。

【 0 0 6 0 】

一方、停止時には制御信号 S 1 をローレベルとして、スイッチ 5 0 1、5 0 2

をオフ、スイッチ 5 0 3 をオンとする。差動段はスイッチ 5 0 1 がオフとなるため低電位側電源端子 1 4 に流れ込む電流が遮断され、差動段の出力は高位電源電圧 V_{DD} 側へ変化する。増幅段は、スイッチ 5 0 3 がオンとなるため p チャネルトランジスタ 1 0 6 のゲートが高位電源電圧 V_{DD} に引上げられ、 p チャネルトランジスタ 1 0 6 はオフとなる。また、スイッチ 5 0 2 がオフとなるため、出力端子 1 2 と低電位側電源端子 1 4 との間の電流パスも遮断される。このように制御信号 S_1 により差動増幅回路の動作、停止が制御される。

【 0 0 6 1 】

この差動増幅回路のダイナミックレンジ（電源電圧範囲に対する出力電圧範囲）は、上限が高位電源電圧 V_{DD} で、下限が低位電源電圧 V_{SS} から n チャネルトランジスタ 1 0 1、1 0 2 の閾値電圧だけ狭い範囲である。このため、図 8 の構成では、差動対 1 0 1、1 0 2 を低 V_{T-TFT} で形成することにより、差動段 2 3 の動作レンジが広がり、差動増幅回路のダイナミックレンジを拡大することができる。なお、この差動増幅回路は、動作停止時に、低 V_{T-TFT} で構成された差動対 1 0 1、1 0 2 の電流パスが高 V_{T-TFT} で形成したスイッチ 5 0 1 で遮断されるためリーク電流によって消費電力が増加することはない。

【 0 0 6 2 】

〔実施例 2〕

次に、本発明の第 2 の実施例に係る 2 種類の V_T の TFT を備えるアナログ回路について、図 9 を参照して説明する。図 9 は低 V_{T-TFT} を差動段（図 9 の 2 3）に適用し、差動対 1 0 1、1 0 2 およびカレントミラー回路 1 0 3、1 0 4 を低 V_{T-TFT} で形成し、差動対およびカレントミラー回路の電流パスを遮断するスイッチ 5 0 1 を高 V_{T-TFT} で形成した差動増幅回路である。差動対 1 0 1、1 0 2 およびカレントミラー回路 1 0 3、1 0 4 以外は全てスイッチ 5 0 1 と同様の高 V_{T-TFT} で形成されている。

【 0 0 6 3 】

差動対 1 0 1、1 0 2 を低 V_{T-TFT} で形成することにより、図 8 と同様に差動段 2 3 の動作レンジを広げ、差動増幅回路のダイナミックレンジを拡大することができる。また、カレントミラー回路 1 0 3、1 0 4 を低 V_{T-TFT} で形

成することにより、差動対に対する負荷回路としての負荷が小さくなるため、カレントミラー回路の動作応答が速くなり、差動増幅回路の動作を速めることができる。なお、低 V_T -TFTをカレントミラー回路103、104のみに適用し、差動対の電流パスを遮断するスイッチ501を高 V_T -TFTで形成した差動増幅回路としてもよい。この場合も図8の増幅回路と同様に、低 V_T -TFTを利用して差動増幅回路の性能を向上させることができ、高 V_T -TFTで形成したスイッチ501を設けることによって低 V_T -TFTのリーク電流による消費電力の増加も防ぐことができる。

【0064】

[実施例3]

次に、本発明の第3の実施例に係る2種類の V_T のTFTを備えるアナログ回路について、図10を参照して説明する。図10は本発明の構造を差動増幅回路に適用した別の例を示す回路図である。

【0065】

図10に示すように、本実施例の回路は、低 V_T -TFTを差動段（図10の23）と増幅段（図10の24）に適用した差動増幅回路で、差動対101、102およびカレントミラー回路103、104を低 V_T -TFTで形成し、差動対およびカレントミラー回路の電流パスを遮断するスイッチ501を高 V_T -TFTで形成し、さらに増幅段のpチャネルトランジスタ106を低 V_T -TFTで形成し、pチャネルトランジスタ106が設けられている高電位側電源端子13と出力端子12の間の電流パスを遮断するスイッチ504を高 V_T -TFTで形成した差動増幅回路である。

【0066】

トランジスタスイッチ504は、高電位側電源端子13と出力端子12の間にpチャネルトランジスタ106と直列形態で接続されるが、これは、トランジスタスイッチ504が、pチャネルトランジスタ106と直列形態で接続されないと、差動増幅回路が停止時に低 V_T -TFTのpチャネルトランジスタ106のリーク電流により、出力端子12の電圧が上昇するなどの影響を与える場合があるからである。このトランジスタスイッチ504のゲートには制御信号S1の反

転信号 S 1 B が入力され、差動増幅回路の動作時にはスイッチ 5 0 1、5 0 2 とともにオン、停止時にはスイッチ 5 0 1、5 0 2 とともにオフとされる。

【 0 0 6 7 】

本実施例の効果のうち、差動段（図 1 0 の 2 3）に低 V T - T F T を適用した場合については図 9 と同様に差動段 2 3 の動作レンジを広げ、差動増幅回路のダイナミックレンジを拡大することができる。さらに本実施例では増幅段（図 1 0 の 2 4）の p チャネルトランジスタ 1 0 6 を低 V T - T F T で形成することにより、電源電圧範囲における p チャネルトランジスタ 1 0 6 のオン領域が広がり、差動段出力（トランジスタ 1 0 6 のゲート電圧）変化範囲におけるトランジスタ電流駆動能力の上限も上がるため、差動増幅回路の動作速度を向上させることができる。このように本実施例でも、消費電力の増加を招かずに差動増幅回路の性能を向上させることができる。

【 0 0 6 8 】

〔実施例 4〕

次に、本発明の第 4 の実施例に係る 2 種類の V T の T F T を備えるアナログ回路について、図 1 1 を参照して説明する。図 1 1 は、本発明の構造を差動増幅回路に適用した例を示す回路図である。

【 0 0 6 9 】

本実施例は、図 1 0 の差動増幅回路と、トランジスタ極性において図 1 0 と対称の構成の差動増幅回路との 2 つの差動増幅回路（図 1 1 の 3 0 と 4 0）を組み合わせ構成した差動増幅回路である。図 1 1 の 2 つの差動増幅回路 3 0、4 0 はそれぞれ反転入力端子を出力端子と接続し、更にそれぞれの出力端子を出力端子 1 2 に共通接続し、また、2 つの差動増幅回路はそれぞれ非反転入力端子を出力端子 1 2 に共通接続したボルテージフォロワ構成となっている。2 つの差動増幅回路は制御信号 S 1、S 2 およびそれぞれの反転信号 S 1 B、S 2 B により個別に動作および停止の制御が可能である。

【 0 0 7 0 】

図 1 1 の差動増幅回路は、差動増幅回路 3 0 が制御信号 S 1、S 1 B により活性とされて動作するとき、p チャネルトランジスタ 1 0 6 により高速充電動作が

可能であり、差動増幅回路 4 0 が制御信号 S 2、S 2 B により活性とされて動作するとき、n チャンネルトランジスタ 2 0 6 により高速放電動作が可能である。制御信号 S 1、S 1 B、S 2、S 2 B (S 1 B、S 2 B はそれぞれ S 1、S 2 の反転信号) を制御することにより、高速充電動作と高速放電動作を適宜切り替えて動作させることができる。このため図 1 1 の差動増幅回路は、電流源 1 0 7 および 2 0 7 に流す電流を抑えて低電力化を図っても高速動作が可能である。

【 0 0 7 1 】

また、出力端子 1 2 は、信号 P C および P C B で制御される相補型スイッチ 1 3 1、1 3 2 を介して電源 V C C と接続される。これにより必要に応じて出力端子 1 2 の電圧を電源電圧 V C C に予備充電または予備放電することもできる。図 1 1 を構成する 2 つの差動増幅回路 3 0、4 0 の動作範囲はそれぞれ差動対を構成するトランジスタの閾値電圧分だけ狭くなっているが、電源 V C C による予備充電または予備放電により図 1 1 の駆動回路は電源電圧範囲に等しい動作範囲を実現することができる。なお、電源 V C C は複数の電圧レベルをもつ可変電源であってもよい。

【 0 0 7 2 】

〔実施例 5〕

次に、本発明の第 5 の実施例に係る 2 種類の V T の T F T を備える絶縁基板上に形成した画像表示装置用回路について、図 1 2 乃至図 1 5 を参照して説明する。図 1 2 は、本発明を液晶表示装置に適用した例を示す図であり、図 1 3 は、有機 E L 表示装置に適用した例を示す図である。又、図 1 4 及び図 1 5 は、その具体的な回路構成を示す図である。

【 0 0 7 3 】

図 1 2 は、同じ絶縁基板上に表示部および表示コントローラ、ドライバ等の表示部を駆動するに必要な駆動回路や周辺回路を形成した T F T 基板側の回路ブロック図の実施例を示している。図 1 2 において、T F T 基板 3 1 の外部よりシステム電源およびデジタル映像信号、制御信号が入力される。これらの信号が表示コントローラ 3 6 に送られ、デジタル映像信号はメモリ 3 7 に送られる。なお、デジタル映像信号の送り方は、アドレス信号と対応させて送る方法やシリアルマ

たはパラレルで送るなど様々な方法が可能であり、送り方に応じて必要な信号や必要な回路を備えているものとする。各ブロックは表示コントローラ36から送られる制御信号に基づいて動作制御される。電源回路35はシステム電源を元に各ブロックで必要とされる電源電圧を発生させる。デジタル映像信号はメモリ37に記憶され、メモリ37からタイミングに応じて読み出された映像信号はデータドライバ34に送られる。データドライバ34は階調電圧発生回路、データラッチ、デコーダ、出力アンプ等で構成され、デジタル映像信号に応じて選択された階調電圧を出力アンプで増幅してデータ線43に出力する。ゲートドライバ33は各ゲート線42を順次選択する走査信号を出力する。表示部32はゲート線42とデータ線43が交差して配置される。なお、メモリ37は1フレームまたは複数フレームの画像データを記憶できるのが好ましい。

【0074】

図12では表示部32がアクティブマトリクス型の構成を示している。アクティブマトリクス型の表示部は、画素がマトリクス状に配置され、各画素ごとにTFT41が設けられ、TFT41は制御端がゲート線42に、ドレインがデータ線43に、ソースが画素電極に接続される。図12では省略しているが、TFT基板31と対向するように透明電極を設けた対向基板があり、TFT基板31と対向基板の間に液晶が封入される構成となる。画素と対向基板の電極（コモン線44）の間の液晶は液晶容量45を形成し、蓄積容量46とともに容量の両端に印加された電圧差を保持することにより液晶透過率を制御して階調表示を行うことができる。なお、コモンドライバ38は対向基板の電極に印加する電圧信号を発生させ、TFT基板側から対向基板の電極（コモン線44）に送られる。

【0075】

図12に示すTFT基板31は表示部32とその駆動回路および周辺回路とが一体として形成されているため、一回の工程でTFTや配線を形成することができ、本発明においては絶縁基板（TFT基板31）上に形成するTFTは、極性ごとに異なるVTを有するTFT（高VT-TFTと低VT-TFT）を同時に形成することができる。そして低VT-TFTは回路動作時にアイドル電流を必要とするアナログ回路部に適用し、高VT-TFTはロジック回路およびス

イッチに適用することにより、消費電力を増加させることなくアナログ回路部の動作速度の向上やダイナミックレンジの拡大が実現でき、これにより表示装置の性能を向上させることができる。

【0076】

図13は、図12と同様に絶縁基板上に表示部およびその駆動回路および周辺回路を一体として形成した表示装置の回路ブロック図であり、代表的な有機EL表示装置のTFT基板側の回路ブロック図を示している。図13において、図12と同様の機能については同じ素子番号を用いる。図13も表示部32がアクティブマトリクス型の構成を示している。有機EL表示装置のアクティブマトリクス型の表示部は、画素がマトリクス状に配置され、各画素ごとにスイッチングTFT51、電流制御TFT54、有機薄膜で形成された発光ダイオードOLED55 (Organic Light Emitting Diode) が設けられ、TFT51は制御端がゲート線52に、ドレインがデータ線53に、ソースがTFT54の制御端に接続される。TFT54はソースが高位電源VDDに、ドレインがOLEDの一端に接続され、OLEDの他端は低位電源VSSが与えられている。なお、低位電源VSSは図13に示していないが、陰極基板側に形成された電極に与えられる。TFT51がオン状態となって画像信号に対応した電圧がTFT54に与えられると、TFT54は高位電源VDDとの電圧差に応じた電流をOLED55に流し、OLED55は電流の大きさに応じた輝度で発光する。このようにOLED55に流す電流を制御することにより階調表示を行うことができる。なお、図13のコモンドライバ38は陰極基板側の電極に与える電圧VSSを発生させる回路であるが、電圧VSSがGNDのときは設けなくともよい。

【0077】

図13に示すTFT基板31は表示部32とその駆動回路および周辺回路とが一体として形成されているため、一回の工程でTFTや配線を形成することができ、本発明においては絶縁基板(TFT基板31)上に形成するTFTは、極性ごとに異なるVTを有するTFT(高VT-TFTと低VT-TFT)を同時に形成することができる。そして低VT-TFTは回路動作時にアイドル電流を必要とするアナログ回路部に適用し、高VT-TFTはロジック回路およびス

イチに適用することにより、図 1 2 と同様に消費電力を増加させることなくアナログ回路部の動作速度の向上やダイナミックレンジの拡大が実現でき、これにより表示装置の性能を向上させることができる。

【 0 0 7 8 】

図 1 2 および図 1 3 について更に詳細に説明すると、図 1 2 および図 1 3 のアナログ回路の具体例としては、データドライバ 3 4 の出力アンプや、電源回路 3 5 のレギュレータ、メモリ 3 7 のセンスアンプ等があり、それらの一部の素子を低 V_T -TFT で形成することによりダイナミックレンジの拡大や高速動作の性能を向上させ、表示装置の性能を向上させることができる。例えば、本発明によりデータドライバ 3 4 の出力アンプの動作速度が向上すれば、各データ線 4 3 への階調電圧出力が短い時間できるため、短時間でのデータ線駆動が要求される高精細パネルを実現することもできる。

【 0 0 7 9 】

ロジック回路やスイッチの具体例としては、ゲートドライバ 3 3、表示コントローラ 3 6 や表示部 3 2 の画素部のスイッチ（図中の TFT 4 1）などが該当し、これらの回路を構成する TFT は、リーク電流による消費電力の増加や誤動作を防ぐため高 V_T -TFT で形成する。またデータドライバ 3 4 やメモリ 3 7 等にもロジック回路やスイッチは多く含まれている。すなわち、いずれの回路ブロックとも、ロジック回路が主体であっても一部アナログ回路を含んでいる場合もありうる。そのような回路ブロックの代表例を図 1 4 と図 1 5 に示す。

【 0 0 8 0 】

図 1 4 はデータドライバ 3 4 の構成例を示した図である。図 1 4 のデータドライバは階調電圧発生回路 2 0 0、ラッチ 4 0 0、デコーダ 3 0 0、増幅回路 1 0 0、出力端子群 5 0 0 で構成され、階調電圧発生回路 2 0 0 は両端に電源電圧 V_H および V_L が与えられた抵抗ストリングで構成され、抵抗ストリングの各タップから生成された階調電圧（多値レベル電圧）を出力し、ラッチ 4 0 0 ではデータドライバ 3 4 に入力された映像デジタルデータを取り込んで、所定のタイミングでデコーダ 3 0 0 に出力し、デコーダ 3 0 0 はラッチ 4 0 0 から出力されたデジタルデータに対応した階調電圧を選択して増幅回路 1 0 0 に出力し、増幅回路

1 0 0 は入力された階調電圧を増幅してデータ線（図 1 2 の 4 3、図 1 3 の 5 3）に接続された出力端子に出力する。なお、データドライバ外部からラッチ 4 0 0 に送られる映像デジタルデータは、図 1 2 や図 1 3 のメモリ 3 7 から読み出され、パラレル形式で直接ラッチ 4 0 0 に入力されるのが好ましいが、もしシリアル形式でデータが送られてくる場合には、シフトレジスタを設けてクロックと同期させて順次ラッチ 4 0 0 に取り込む構成としてもよい。図 1 4 においては、ラッチ 4 0 0 がロジック回路に該当する。またデコーダ 3 0 0 は多値レベルを処理する回路ではあるがスイッチで構成された回路であり、ラッチ 4 0 0 とともに高 V_{T-TFT} で形成する。一方、増幅回路 1 0 0 はアナログ回路であり、図 8 乃至図 1 0 で示したような差動増幅回路を適用することができる。増幅回路 1 0 0 に本発明を適用することにより消費電力を増加させることなく、増幅回路 1 0 0 の動作速度の向上やダイナミックレンジの拡大を実現することができる。なお図 1 4 の階調電圧発生回路 2 0 0 は TFT を含んでいないため説明は省略する。

【 0 0 8 1 】

また、図 1 5 は、文献「近代科学社出版、超 LSI 入門シリーズ 5 「 MOS 集積回路の基礎」の p 6 4」のスタティック RAM を絶縁基板上に形成したメモリ 3 4 の構成例を示した図であり、メモリセルアレイ 6 0 0、データ入力バッファ 7 0 0、データ出力バッファ 8 0 0、センスアンプ 9 0 0 等で構成されている。図 1 5 のメモリは、行アドレスと列アドレスによりメモリセル 6 0 0 を指定し、ライトイネーブル信号のレベル（ローレベル、ハイレベル）により指定したメモリセル 6 0 0 への書き込みや読み出しが行われる。センスアンプ 9 0 0 はメモリセル 6 0 0 から読み出されたデータを増幅し、読み出し動作を速やかに行う作用をしている。図 1 5 において、メモリセル 6 0 0 はフリップフロップ構成であり、データ入力バッファ 7 0 0、データ出力バッファ 8 0 0 とともにロジック回路に該当し、それぞれ高 V_{T-TFT} で形成する。一方、センスアンプ 9 0 0 は図 8 乃至図 1 0 の差動段（各図の 2 1）とほぼ同じ構成であり、図 8 乃至図 1 0 の差動段のように差動対やカレントミラー回路を低 V_{T-TFT} で形成し、それらの電流パスを遮断する高 V_{T-TFT} で形成したスイッチを設けることにより、消費電力を増加させることなく、センスアンプ 9 0 0 の動作速度の向上や動作レ

ンジの拡大を実現することができる。

【0082】

なお、アナログ回路は絶縁基板上の任意の回路に構成することが可能であり、それに対して本発明を適用することが可能である。例えば、図12、図13では画素部にスイッチTFTしか用いていないが、画素部にも様々な機能回路を設けることは可能で、それにアナログ回路を用いた場合に本発明を適用して性能を向上させることもできる。

【0083】

また、図14のデータドライバや図15のメモリ等の回路ブロックを単独で絶縁基板上に形成して個々にチップ化するような場合でも、アナログ回路に本発明を適用することによりチップの消費電力を増加させることなく従来よりも高性能化が実現できることは言うまでもない。

【0084】

上記各実施例で示したように本発明の方法で形成した低 V_T -TFTと高 V_T -TFTとを配置して回路を構成することにより、低 V_T -TFTによりアナログ回路としての性能を向上させ、かつ、高 V_T -TFTにより電流の漏洩を防止することができる。この本発明の効果を明確にするために、低 V_T -TFTをインバーターやスイッチ等のロジック回路に適用した構成（本発明に含まれないケース）における問題点を説明する。

【0085】

図16（a）はインバーターを低 V_T -TFTで形成したデジタル回路である。図16（a）のインバーターは、pチャネルトランジスタ901とnチャネルトランジスタ902とで構成されている。インバーターの動作は、入力 V_{in} がローレベル（ V_{SS} ）のとき、pチャネルトランジスタ901がオン、nチャネルトランジスタ902がオフとなり、出力 V_{out} がハイレベル（ V_{DD} ）となり、入力 V_{in} がハイレベル（ V_{DD} ）のとき、pチャネルトランジスタ901がオフ、nチャネルトランジスタ902がオンとなり、出力 V_{out} がローレベル（ V_{SS} ）となる。

【0086】

このように p チャネルトランジスタ 9 0 1、n チャネルトランジスタ 9 0 2 の一方はオフしている。しかしながら、p チャネルトランジスタ 9 0 1、n チャネルトランジスタ 9 0 2 を低 V_T -TFT で形成し、そのオフリーク電流が比較的大きいとき、インバーターとしての動作は高速化されるが、オフしているトランジスタのリーク電流により消費電力が増加するという問題が生じる。これに対して、本発明では低 V_T -TFT をアナログ回路に適用し、その動作は高速化されるが消費電力は増加しない。

【 0 0 8 7 】

図 1 6 (b) は低 V_T -TFT をクロックインバーターに適用した構成（本発明に含まれないケース）を示す図である。図 1 6 (b) では、(a) の低 V_T -TFT で形成したインバーターと高電位側電源端子 1 3 との間にトランジスタスイッチ 9 0 3 が接続され、(a) のインバーターと低電位側電源端子 1 4 との間にトランジスタスイッチ 9 0 4 が接続され、トランジスタ 9 0 3、9 0 4 のそれぞれのゲートに制御信号 S 3 および S 4 が入力されている。

【 0 0 8 8 】

図 1 6 (b) の構成では、高 V_T -TFT のトランジスタ 9 0 3、9 0 4 が共にオフのときは完全に電流パスが遮断されるため、低 V_T -TFT で形成したトランジスタ 9 0 1、9 0 2 のリーク電流が高くても動作に影響はないが、高 V_T -TFT のトランジスタ 9 0 3、9 0 4 の少なくとも一方がオンのときは動作に影響を与える場合がある。例えば、トランジスタ 9 0 1、9 0 2、9 0 3、9 0 4 がそれぞれオフ、オン、オン、オフのとき、トランジスタ 9 0 1 のリーク電流が高いと、高電位側電源端子 1 3 から電荷が出力端子 1 2 に流入し、誤動作を生じる場合がある。

【 0 0 8 9 】

図 1 6 (c) は、低 V_T -TFT をスイッチに適用した構成（本発明に含まれないケース）を示す図である。図 1 6 (c) は、図 8 の差動段と類似の構成で、高 V_T のトランジスタスイッチ 5 0 1 の代わりに低 V_T -TFT スwitch 9 5 1 を設けた差動段である。この構成では低 V_T -TFT の差動対 9 1 1、9 1 2 を含む電流パス経路上に高 V_T -TFT で構成したスイッチが設けられていない構

成である。従って、S 1 をローレベルとして差動段の動作を停止させた場合でも、差動段には電流源 9 1 5 で制御される電流が流れようとするため、低 V T - T F T スイッチ 9 5 1 のリーク電流が高くと、それによって差動段の停止時における消費電力が増加する。このようにアナログ回路においてもスイッチに対して低 V T - T F T を適用すると消費電力が増加するという問題が生じる。これに対して、本発明では低 V T - T F T をアナログ回路の所定の内部電流が流れる回路部に適用し、スイッチには適用しない。また、電流パス経路において、低 V T - T F T を含む電流パス経路上には高 V T - T F T で構成したスイッチも含んで構成するため消費電力は増加しない。

【 0 0 9 0 】

【発明の効果】

以上説明したように、本発明の薄膜半導体装置及びその製造方法によれば下記記載の効果を奏する。

【 0 0 9 1 】

本発明の第 1 の効果は、工程数を増加させることなく、n チャネル型、p チャネル型の各々について、異なる V T を有する T F T を形成することができるということである。

【 0 0 9 2 】

その理由は、チャネルドーピングを行う際に、n チャネル型 T F T 又は p チャネル型 T F T のいずれか一方の領域にドーピングを行うのではなく、n チャネル型 T F T の全部又は一部と p チャネル型 T F T の全部又は一部に一括してドーピングを行うため、n と p を同時にドーピングできると共に、同一チャネル型においてもドーピング有／無で V T を変化させることができるからである。

【 0 0 9 3 】

また、本発明の第 2 の効果は、n チャネル型 T F T と p チャネル型 T F T の V T の対称性の崩れを防止することができ、回路設計の最適化が可能となるということである。

【 0 0 9 4 】

その理由は、n チャネル型 T F T のドーピングと p チャネル型 T F T のドーピ

ングとを別々に行うのではなく、同一の工程で同一のドーパントを等しい濃度で導入するため、V Tの対称性を維持することができるからである。

【0095】

また、本発明の第3の効果は、良好なオフ特性のロジックやスイッチと、良好な動作速度及びダイナミックレンジのアナログ回路とを備える回路を容易に形成することができるということである。

【0096】

その理由は、ロジックやスイッチなどオフ特性を必要とするT F Tとオフ特性を必要としないアナログ回路用のT F Tを適宜選択してチャネルドーピングする領域を設定し、回路に求められる特性に応じてN型又はP型のドーパントを導入しV Tを制御しているからである。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係る薄膜半導体装置の構成を示す断面図である。

【図2】

本発明の一実施形態に係る薄膜半導体装置の製造方法（Bドーピング）を示す工程断面図である。

【図3】

本発明の一実施形態に係る薄膜半導体装置の製造方法（Bドーピング）を示す工程断面図である。

【図4】

本発明の一実施形態に係る薄膜半導体装置の他の製造方法（Pドーピング）を示す工程断面図である。

【図5】

本発明の一実施形態に係る薄膜半導体装置の他の製造方法（B全面ドーピング及びP打ち返し）を示す工程断面図である。

【図6】

本発明の一実施形態に係る薄膜半導体装置の他の製造方法（P全面ドーピング及びB打ち返し）を示す工程断面図である。

【図 7】

本発明の一実施形態に係るアナログ回路の構成を示す回路図である。

【図 8】

本発明の第 1 の実施例に係る差動増幅回路の構成を示す回路図である。

【図 9】

本発明の第 2 の実施例に係る差動増幅回路の他の構成を示す回路図である。

【図 1 0】

本発明の第 3 の実施例に係る差動増幅回路の他の構成を示す回路図である。

【図 1 1】

本発明の第 4 の実施例に係る駆動回路の構成を示す回路図である。

【図 1 2】

本発明の第 5 の実施例に係る液晶表示装置の駆動回路の構成を示す図である。

【図 1 3】

本発明の第 5 の実施例に係る有機 E L 表示装置の駆動回路の構成を示す図である。

【図 1 4】

本発明の第 5 の実施例に係るデータドライバの具体的構成を示す図である。

【図 1 5】

本発明の第 5 の実施例に係るメモリの具体的構成を示す図である。

【図 1 6】

本発明の効果を説明するための回路図である。

【符号の説明】

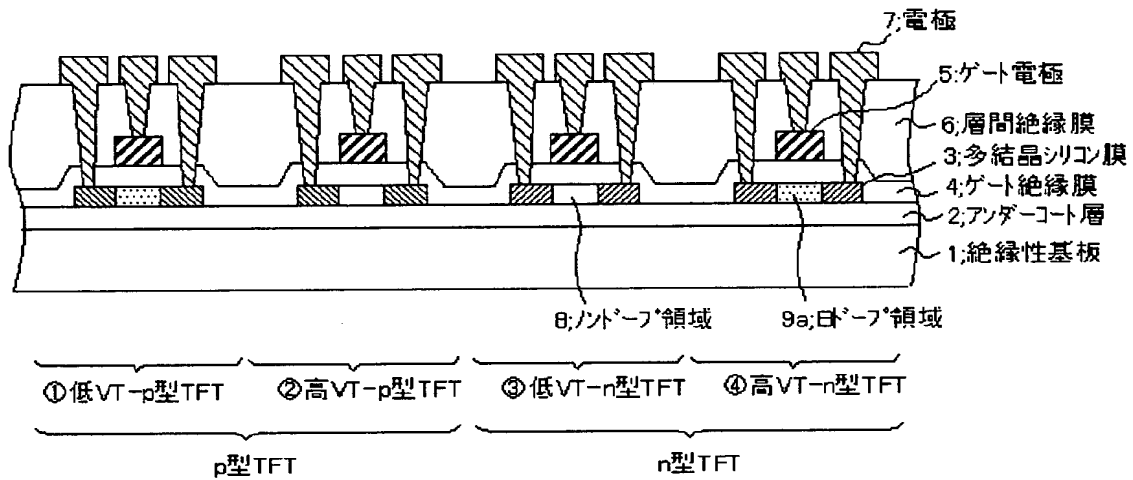
- 1 絶縁性基板
- 2 アンダーコート層
- 3 多結晶シリコン膜
- 3 a アモルファスシリコン膜
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 層間絶縁膜

- 7 電極
- 8 ノンドープ領域
- 9 a、9 d Bドープ領域
- 9 b、9 c Pドープ領域
- 1 0 a、1 0 b、1 0 c レジストパターン
- 1 1、1 1 a、1 1 b 入力端子
- 1 2 出力端子
- 1 3 高電位側電源端子
- 1 4 低電位側電源端子
- 2 0 低V T-T F Tを含むアナログ回路
- 2 1 低V T-T F Tで構成したスイッチ
- 2 2 高V T-T F Tで構成したスイッチ
- 2 3 差動段
- 2 4 差動段
- 3 0 差動増幅回路
- 3 1 絶縁基板 (T F T基板)
- 3 2 表示部
- 3 3 ゲートドライバ
- 3 4 データドライバ
- 3 5 電源回路
- 3 6 表示コントローラ
- 3 7 メモリ
- 3 8 コモンドライバ
- 4 0 差動増幅回路
- 4 1 T F T
- 4 2 ゲート線
- 4 3 データ線
- 4 4 コモン線
- 4 5 液晶容量

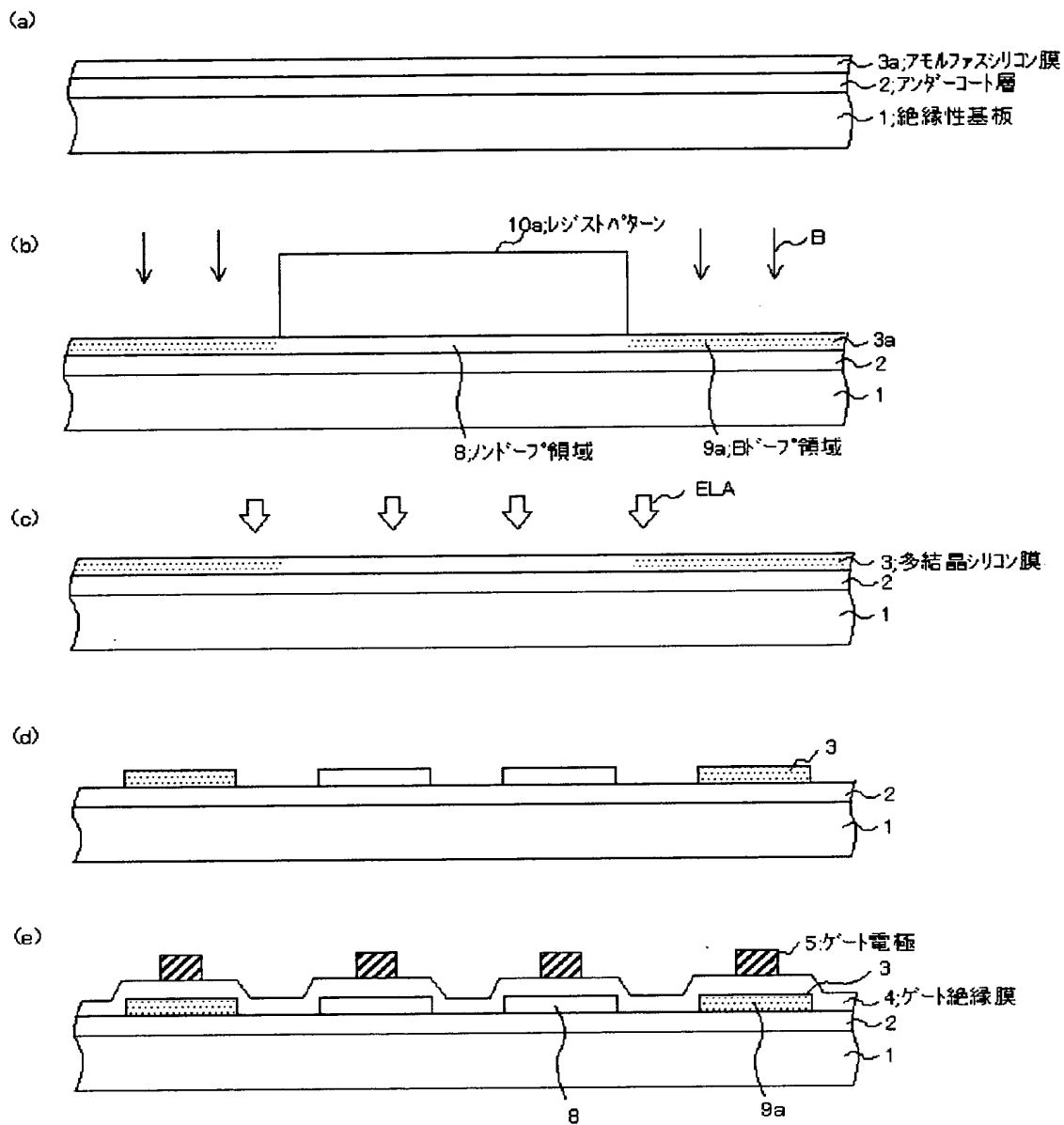
- 4 6 蓄積容量
- 5 1 スイッチング T F T
- 5 2 ゲート線
- 5 3 データ線
- 5 4 電流制御 T F T
- 5 5 O L E D
- 1 0 0 増幅回路
- 1 0 1、1 0 2、2 0 1、2 0 2 差動対
- 1 0 3、1 0 4、2 0 3、2 0 4、9 1 3、9 1 4 カレントミラー回路
- 1 0 5、1 0 7、2 0 5、2 0 7、9 1 5 電流源
- 1 0 6、9 0 1 Pチャネルトランジスタ
- 1 3 1、1 3 2 相補型スイッチ
- 2 0 0 階調電圧発生回路
- 2 0 6、9 0 2 Nチャネルトランジスタ
- 3 0 0 デコーダ
- 4 0 0 ラッチ
- 5 0 0 出力端子群
- 5 0 1～5 0 3、6 0 1、6 0 2、9 0 3、9 0 4 トランジスタスイッチ
- 5 0 4、6 0 4 トランジスタスイッチ
- 6 0 0 メモリセルアレイ
- 7 0 0 データ入力バッファ
- 8 0 0 データ出力バッファ
- 9 0 0 センスアンプ
- 9 5 1 低V_T-T F Tスイッチ

【書類名】 図面

【図 1】

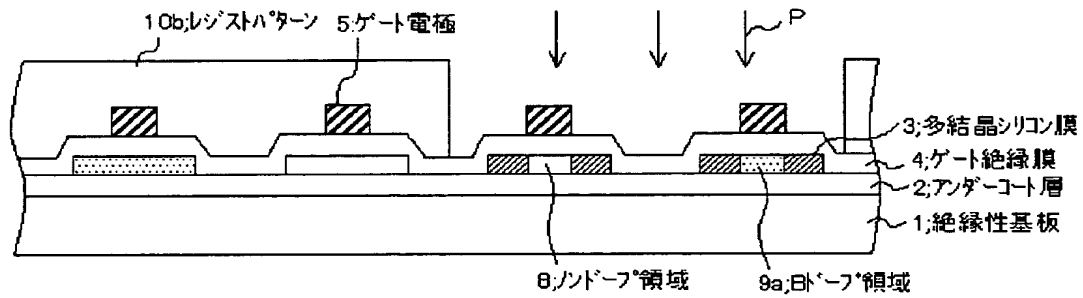


【図2】

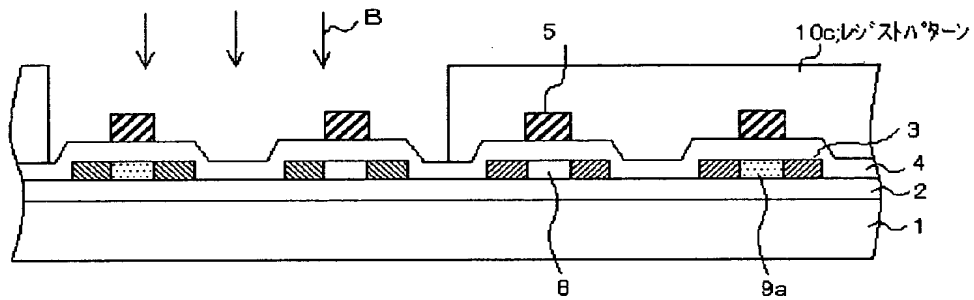


【図 3】

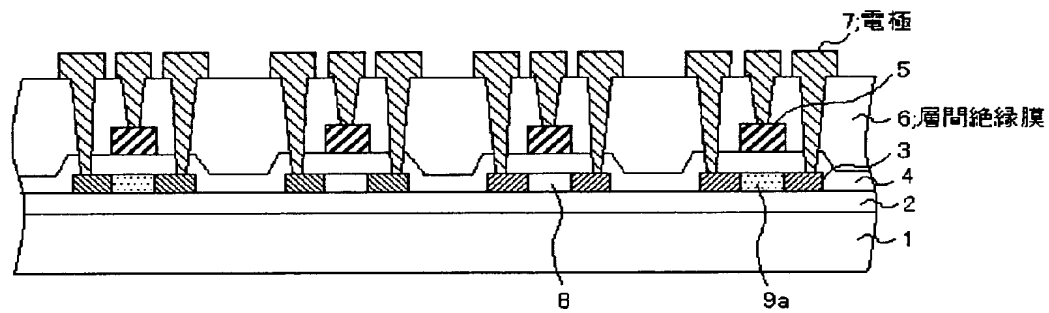
(a)



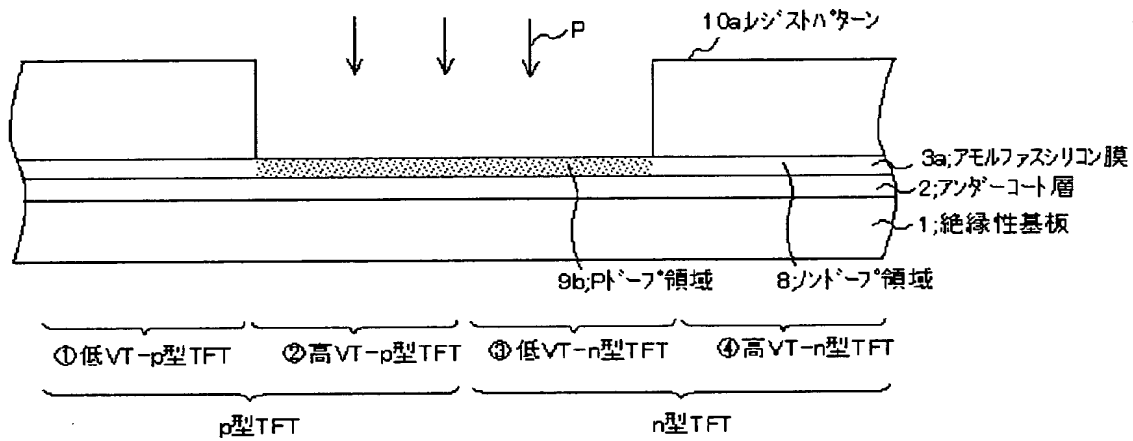
(b)



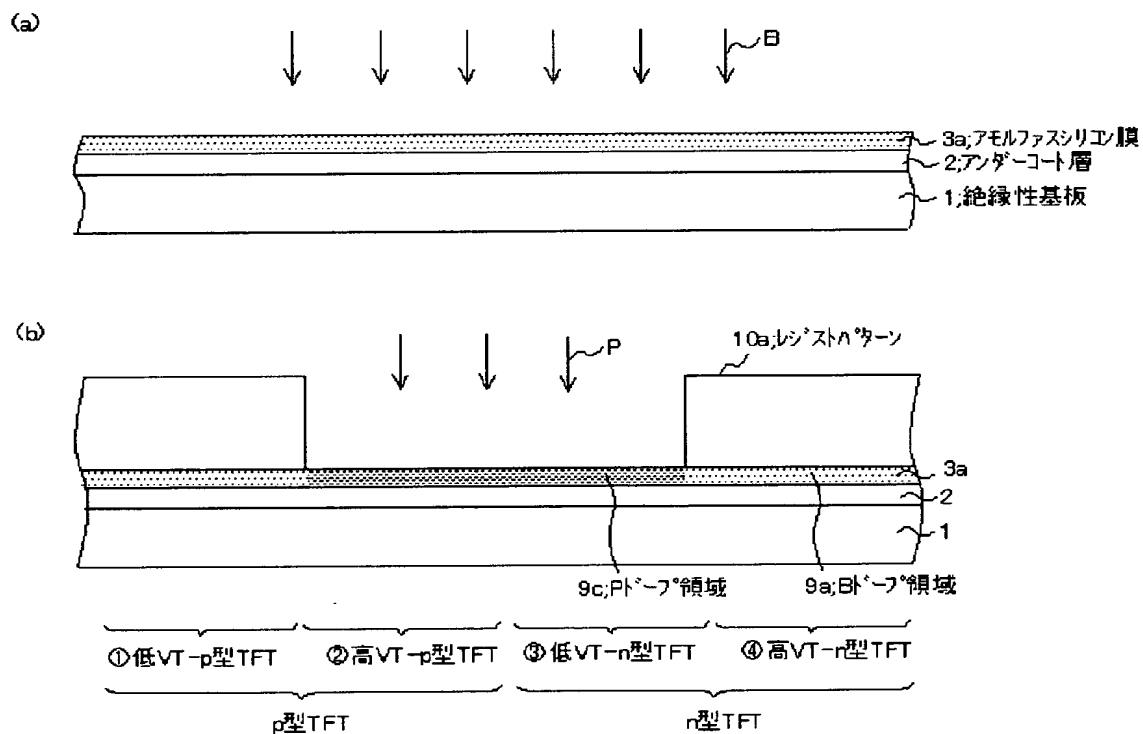
(c)



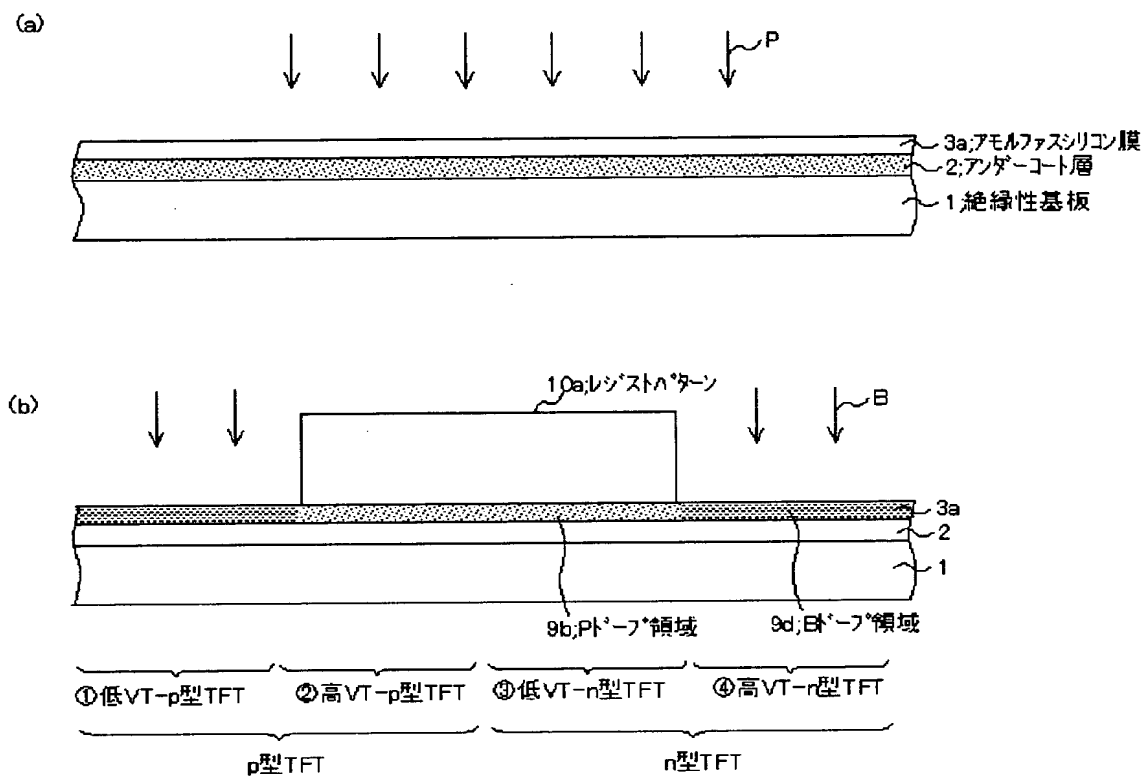
【図 4】



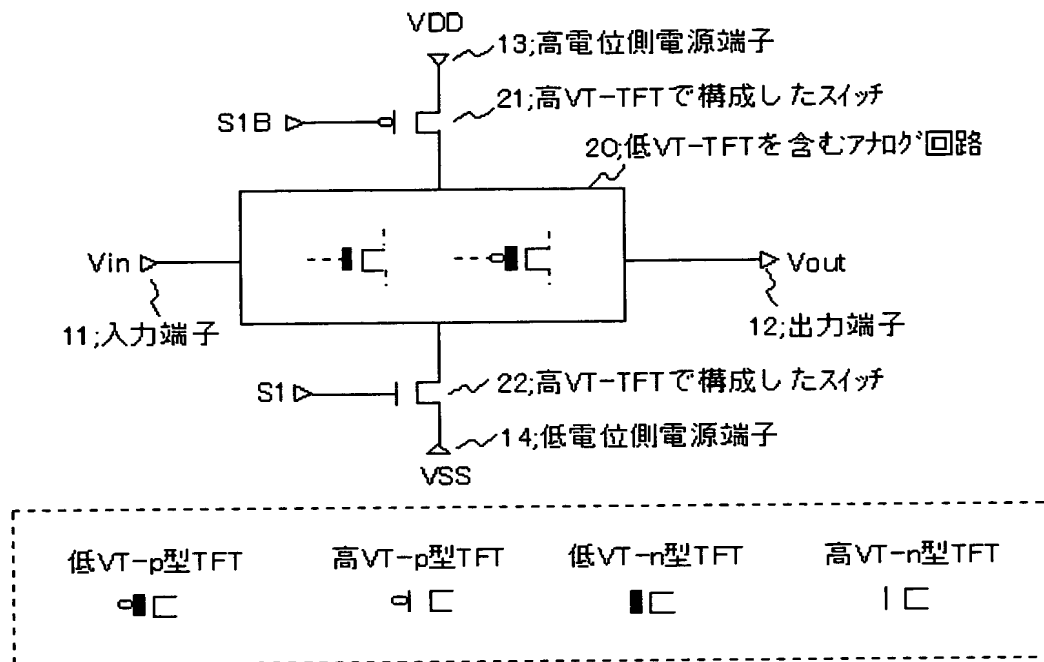
【図 5】



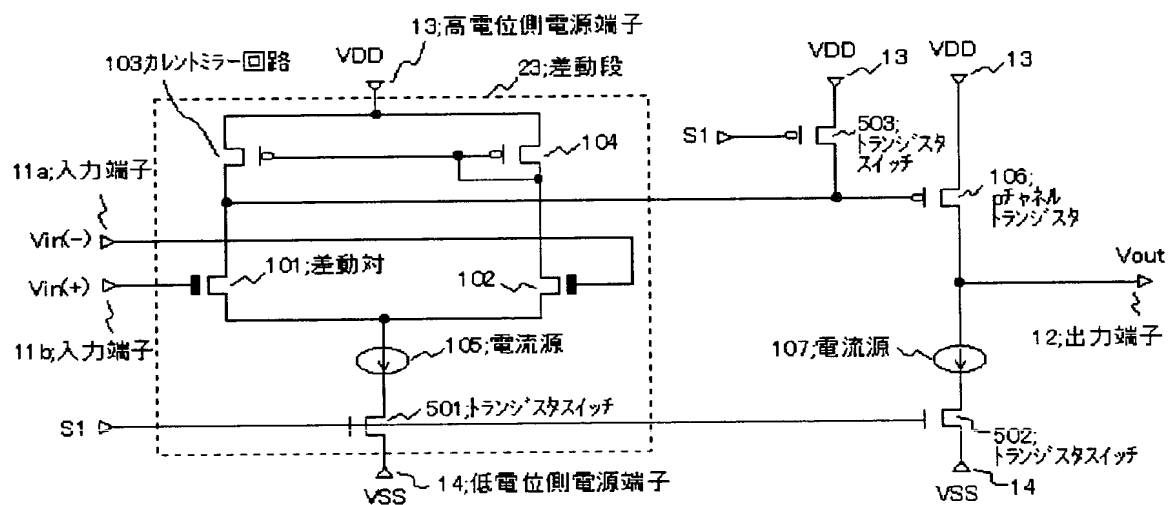
【図 6】



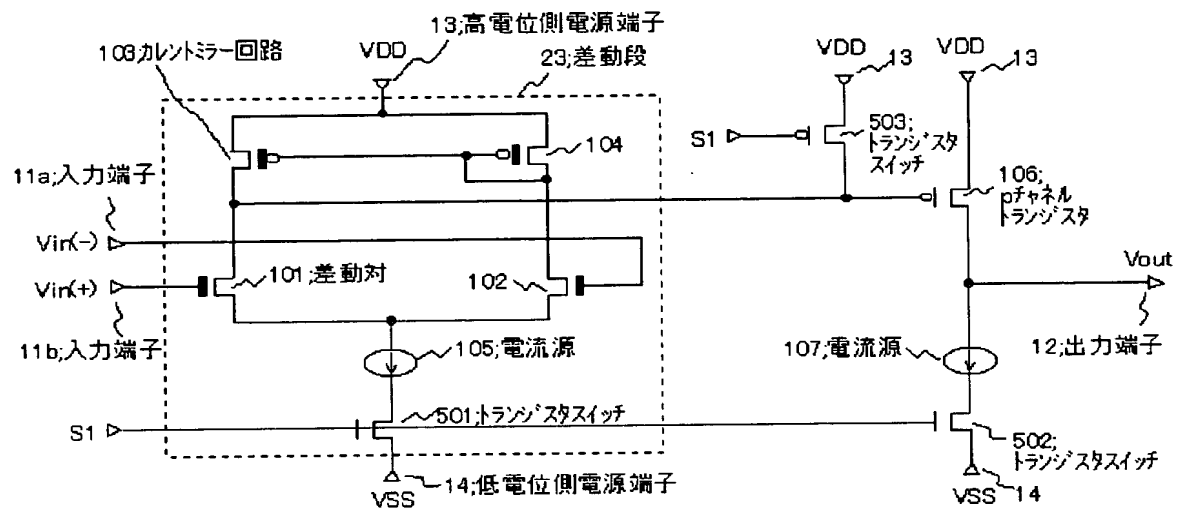
【図 7】



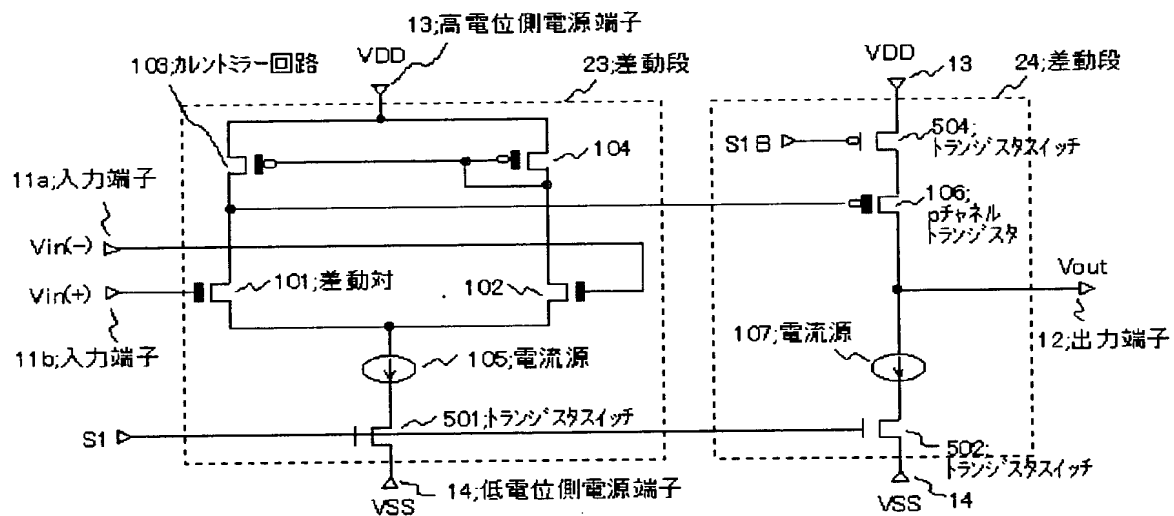
【図 8】



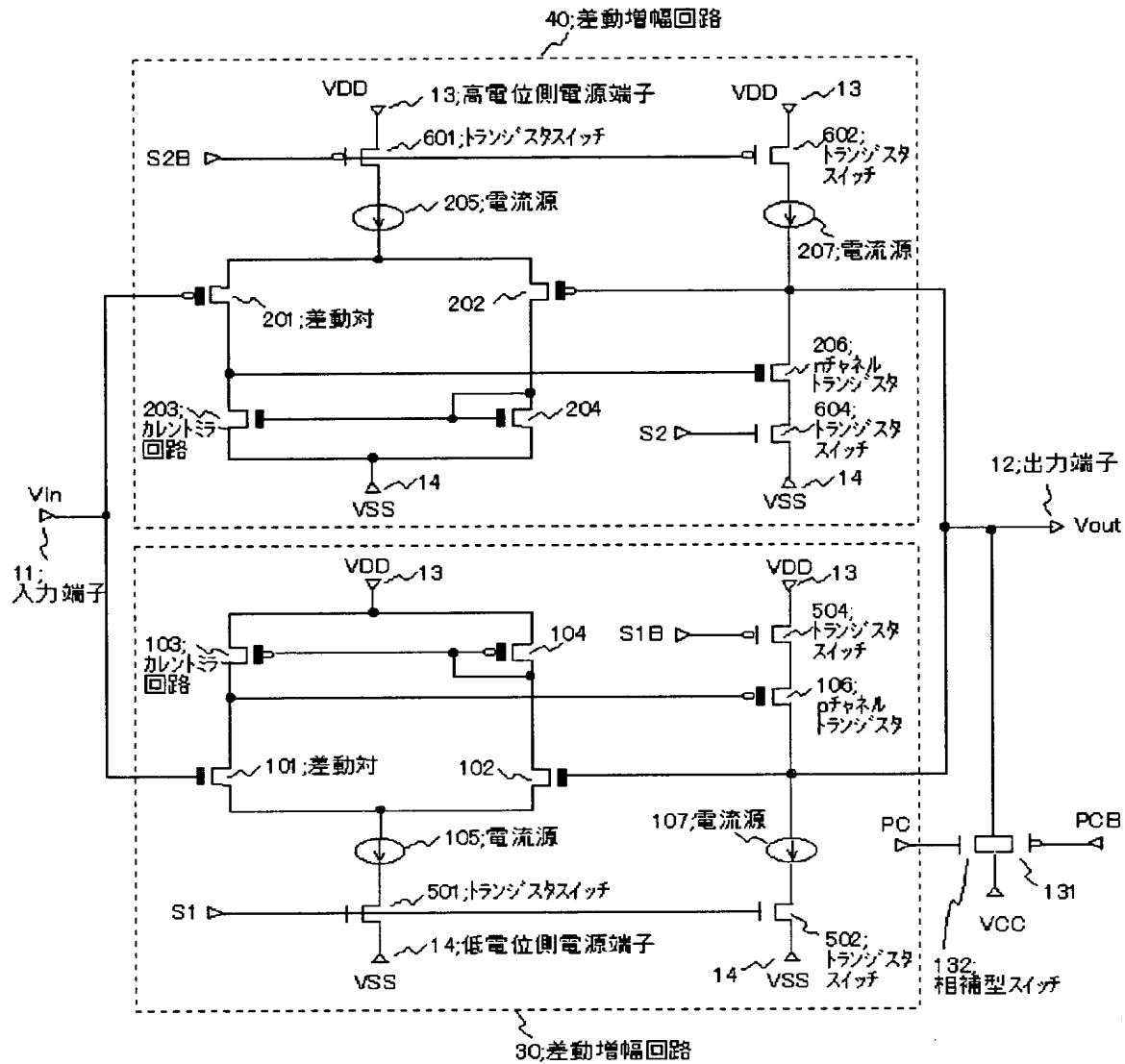
【図 9】



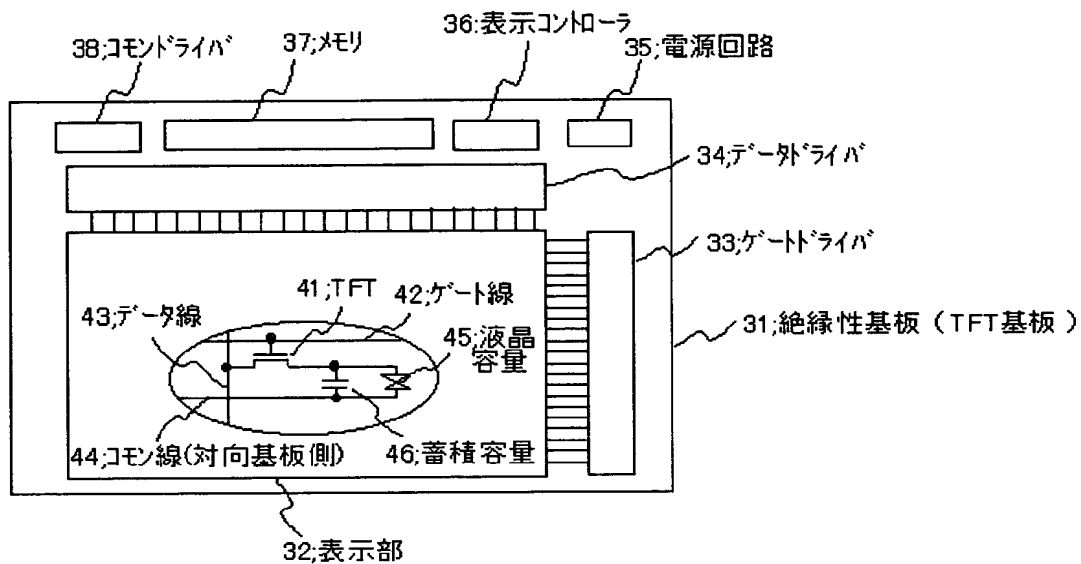
【図 10】



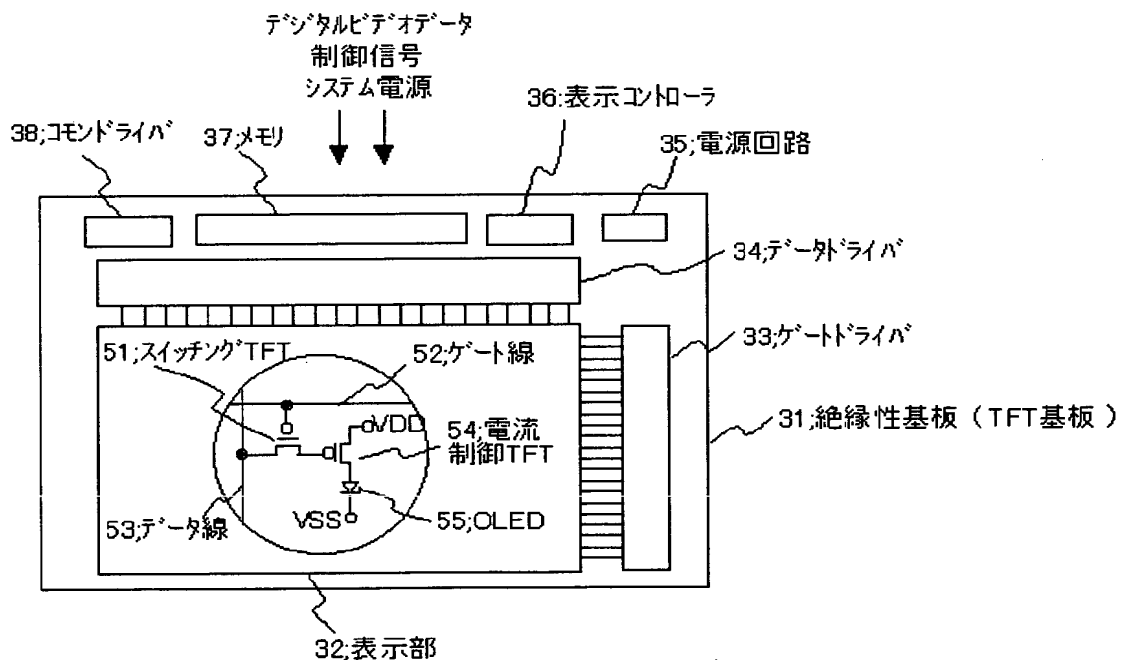
【図 11】



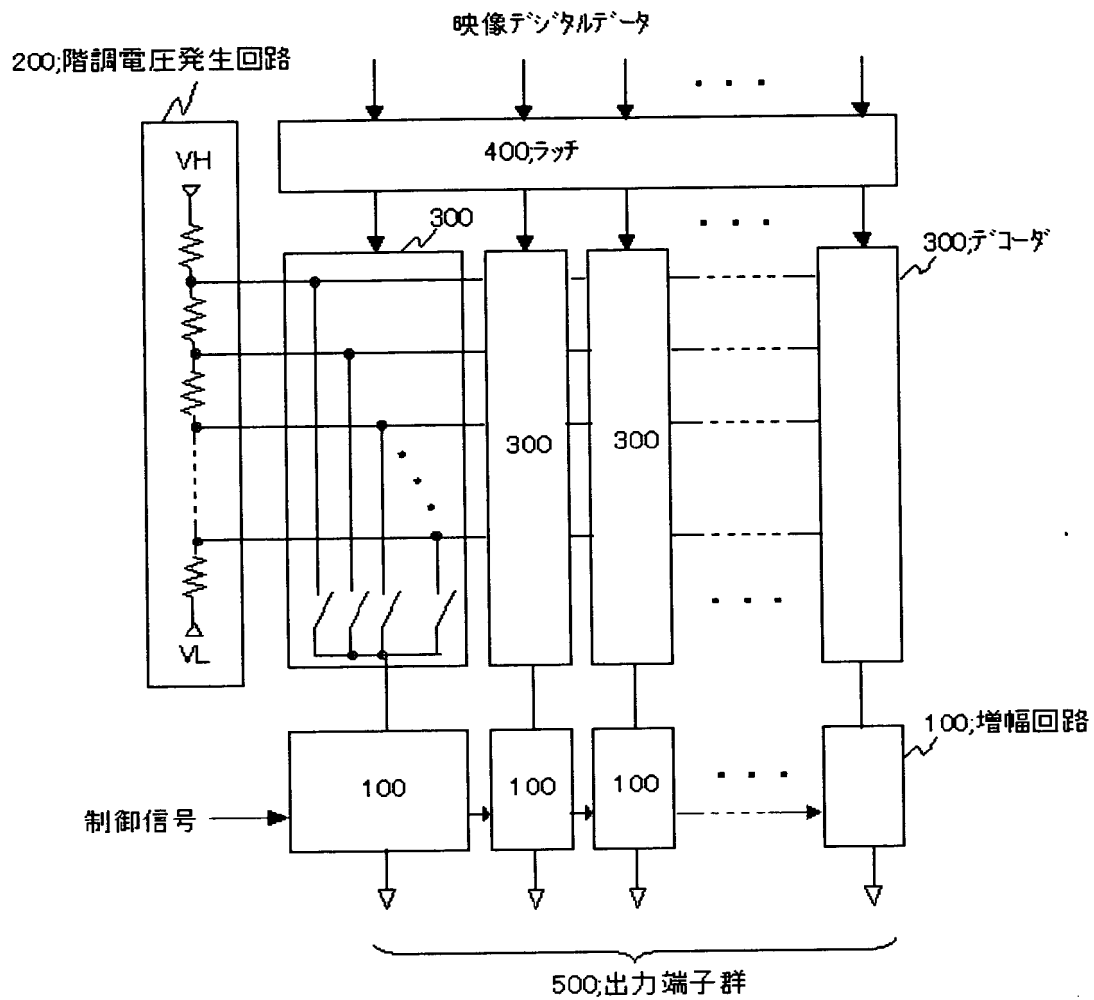
【図 1 2】



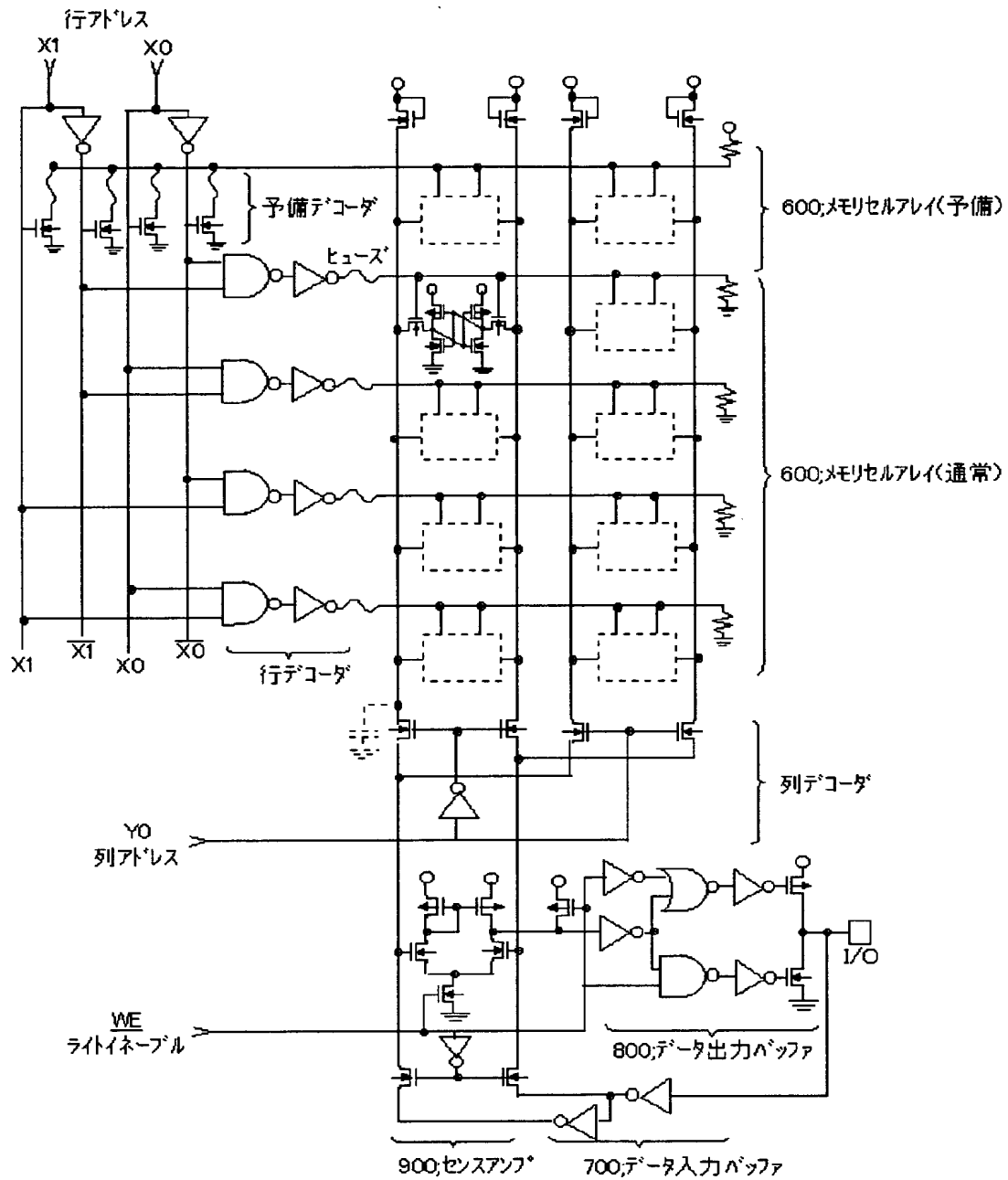
【図 1 3】



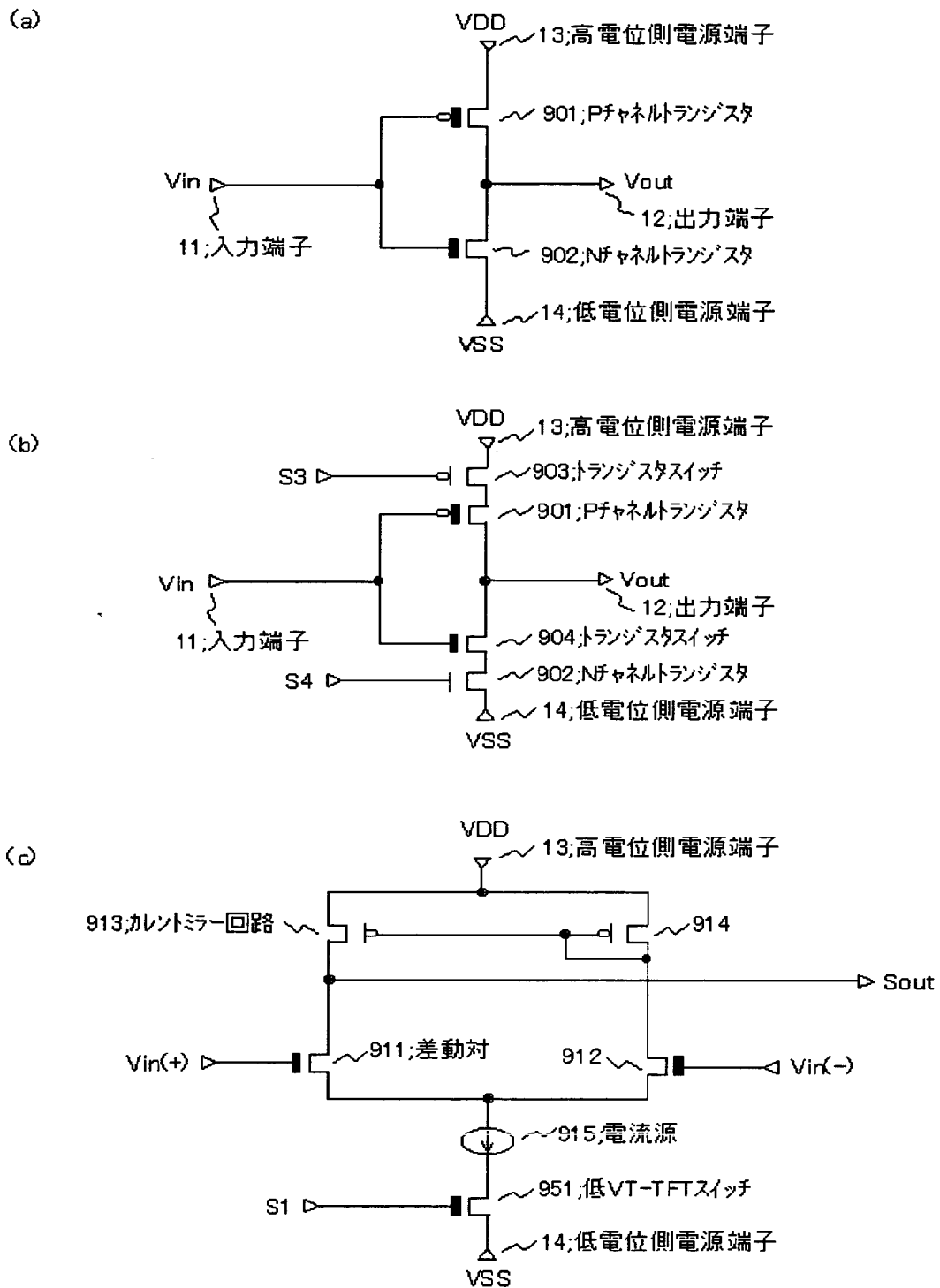
【図 1 4】



【図15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】

工程を複雑にすることなく、多結晶シリコン膜に回路特性に適した n チャンネル型 T F T と p チャンネル型 T F T を形成することができる薄膜半導体装置及びその製造方法の提供。

【解決手段】

ガラス基板 1 上に形成した多結晶シリコン膜 3 に n チャンネル型 T F T 及び p チャンネル型 T F T を形成する際に、n チャンネル型 T F T の一部及び p チャンネル型 T F T の一部のチャンネル領域に、同時に P 型又は N 型のドーパントを導入する工程を含むものであり、1 回のチャンネルドーピングで、低 V T 及び高 V T の p チャンネル型 T F T の組と、低 V T 及び高 V T の n チャンネル型 T F T の組とを形成することができ、この方法を用いて、ロジックやスイッチ回路にはオフ電流を小さくできる高 V T - T F T を、アナログ回路にはダイナミックレンジを大きくできる低 V T - T F T を形成することにより、薄膜半導体装置の性能の向上を図る。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社